

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-328891

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

G06F 11/20  
G05B 19/048

(21)Application number : 07-136827

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 02.06.1995

(72)Inventor : HIROSHIMA IKUYOSHI

TODA AKIO

OTSU YUJI

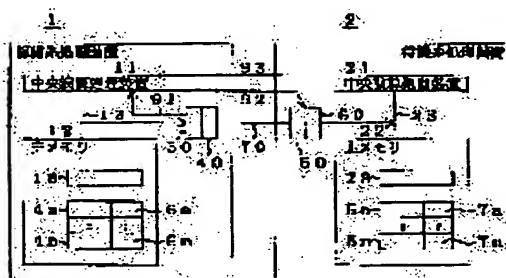
NAGAO SATORU

## (54) DUPLEX SYSTEM USING STANDBY REDUNDANT CONFIGURATION

## (57)Abstract:

**PURPOSE:** To improve the throughput of the system by omitting the selection of the check point data that is performed by a CPU of operating system at a check point, the transfer of the check point data, etc.

**CONSTITUTION:** A CPU 11 receives a store device full generation notification signal 91 and sends a check point instruction signal 92 to a data extension processor 60. The CPU 11 monitors a check point status signal 93 and starts execution of a task after the processing of the device 60 is completed. Then the CPU 11 produces the signal 92, and a data quantity counter of a data monitor device 30 is cleared. Furthermore, the change of the task management information 18 occurred at the CPU 11 is sent to a standby processor 2 from an operating processor 1. Then the device 60 extends the data stored in a data store device 50 into the task internal data stored in a main memory 22 and invalidates the signal 93.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-328891

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/20	3 1 0		G 0 6 F 11/20	3 1 0 A
G 0 5 B 19/048			G 0 5 B 19/05	N

審査請求 未請求 請求項の数 9 O L (全 20 頁)

(21) 出願番号 特願平7-136827

(22) 出願日 平成7年(1995)6月2日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 廣島 郁芳

神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

(72) 発明者 戸田 明男

神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

(72) 発明者 大津 裕司

神戸市兵庫区浜山通6丁目1番2号 三菱電機コントロールソフトウェア株式会社内

(74) 代理人 弁理士 高田 守 (外4名)

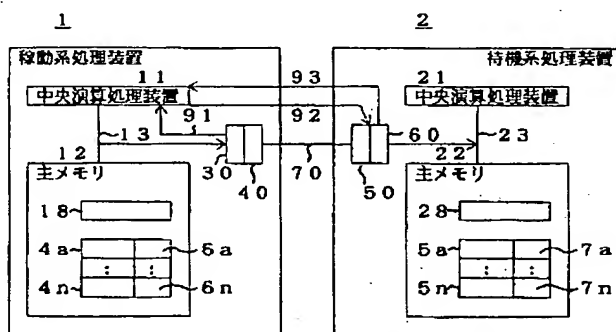
最終頁に続く

(54) 【発明の名称】 待機冗長化構成の二重化システム

(57) 【要約】

【目的】 計算機システムにおける待機冗長化構成の二重化システムにおいて、稼働系処理装置から待機系処理装置へのデータの同値化に必要な時間を短縮し、システムのスループットを向上させる。

【構成】 稼働系処理装置の中央演算処理装置が主メモリにアクセスしたデータを稼働系のデータモニタ装置がモニタし、データ転送装置によって待機系処理装置に転送する。待機系に転送されたデータは待機系のデータ蓄積装置により蓄積される。蓄積されたデータはデータ展開装置により待機系の主メモリに書き込み展開される。



4a~4n, 5a~5n: タスク  
6a~6n, 7a~7n: タスク内部データ  
12, 22: 主メモリ  
13, 23: システムバス  
18, 28: タスク管理情報  
30: データモニタ装置  
40: データ転送装置  
50: データ蓄積装置  
60: データ展開装置  
70: モニタバス  
91: 蓄積装置フル発生通知信号  
92: チェックポイント指示信号  
93: チェックポイントステータス信号

## 【特許請求の範囲】

【請求項 1】 中央演算処理装置と主メモリをそれぞれ有する稼動系処理装置と待機系処理装置を並列に設け、障害発生時の処理の引き継ぎに必要なデータを前記稼動系処理装置から前記待機系処理装置に転送する待機冗長化構成の二重化システムにおいて、系間接続用のモニタバスと、前記稼動系処理装置で中央演算処理装置が主メモリにアクセスしたデータを取り込むデータモニタ装置と、取り込んだデータを前記モニタバスを使用して前記待機系処理装置に転送するデータ転送装置と、前記稼動系処理装置から転送されたデータを蓄積するデータ蓄積装置と、このデータ蓄積装置に蓄積されたデータを前記待機系処理装置の主メモリに書き込むデータ展開装置とを備えたことを特徴とする待機冗長化構成の二重化システム。

【請求項 2】 データモニタ装置で取り込んだデータを蓄積する第 1 データ蓄積装置を稼動系処理装置に備え、待機系処理装置の第 2 データ蓄積装置に蓄積されたデータをデータ展開装置が主メモリに展開中は、前記データモニタ装置で取り込んだデータを前記稼動系処理装置の第 1 データ蓄積装置に蓄積するようにしたことを特徴とする請求項 1 記載の待機冗長化構成の二重化システム。

【請求項 3】 稼動系処理装置の主メモリの内容と待機系処理装置の主メモリの内容を同じ値にするイコライズを、前記稼動系処理装置への指示で開始し、イコライズ完了で前記待機系処理装置から前記稼動系処理装置に割り込み通知するようにした請求項 1 又は請求項 2 記載の待機冗長化構成の二重化システム。

【請求項 4】 稼動系処理装置の中央演算処理装置が主メモリにアクセスを行う際に、アクセスしたデータを待機系処理装置に転送しそのデータを待機系の主メモリに展開し、系間の同値化を同時に行うようにした請求項 1 又は請求項 2 記載の待機冗長化構成の二重化システム。

【請求項 5】 待機系処理装置で故障が発生すると、待機系ステータス信号により、前記待機系処理装置の故障を稼動系処理装置に通知し、前記稼動系処理装置のデータの前記待機系処理装置への転送を停止するようにした請求項 1～請求項 4 のいずれか 1 項に記載の待機冗長化構成の二重化システム。

【請求項 6】 稼動系処理装置にモニタバスのバス占有時間監視装置を設け、前記バス占有時間監視装置がモニタバスの監視時間オーバーを検出すると、データ転送のリトライ処理を行いリトライ失敗で、待機系処理装置が故障として前記稼動系処理装置のデータの前記待機系処理装置への転送を停止するようにした請求項 1～請求項 5 のいずれか 1 項に記載の待機冗長化構成の二重化システム。

【請求項 7】 稼動系処理装置で故障が発生すると、稼動系ステータス信号により、前記稼動系処理装置の故障を待機系処理装置に通知し、前記待機系処理装置では前

記稼動系処理装置からのデータの受け入れを切り離し、その時に前記待機系処理装置のデータ蓄積装置に蓄積されているデータを、正常データとして前記待機系処理装置の主メモリにデータ展開するようにした請求項 1～請求項 6 のいずれか 1 項に記載の待機冗長化構成の二重化システム。

【請求項 8】 中央演算処理装置と主メモリをそれぞれ有する稼動系処理装置と待機系処理装置を並列に設け、障害発生時の処理の引き継ぎに必要なデータを前記稼動系処理装置から前記待機系処理装置に転送し前記両主メモリ間を同値化する待機冗長化構成の二重化システムにおいて、前記両主メモリ間で同値化すべき領域を設定する領域設定部と、この領域設定部で設定した領域を登録するイコライズ領域設定レジスタと、前記中央演算処理装置が前記主メモリにアクセスしたアドレスが前記イコライズ領域設定レジスタに設定されている領域で有れば動作し、前記アドレスと引き継ぎに必要なデータを前記待機系処理装置に転送するイコライズ回路とを備えたことを特徴とする待機冗長化構成の二重化システム。

【請求項 9】 同値化対象が中央演算処理装置のアクセス種別が書込み時か、読出時かを設定するモード指定信号と、前記中央演算処理装置からの書込み信号または読出信号とを受けて、前記中央演算処理装置のアクセス種別が設定されたモードであるか否かを判断するモード選択部を設け、設定されたモードであれば、イコライズ回路を動作させ、待機系処理装置にアドレスと引き継ぎに必要なデータを転送するようにしたことを特徴とする請求項 8 記載の待機冗長化構成の二重化システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、計算機システムの待機冗長化構成による二重化システムに関するものである。

## 【0002】

【従来の技術】稼動系処理装置と待機系処理装置でメモリ共有を行わない疎結合による待機冗長化構成の二重化システムでは、特定タイミング（以下、チェックポイントと呼ぶ）で処理引き継ぎに必要な情報（以下、チェックポイントデータと呼ぶ）を稼動系処理装置から待機系処理装置に通知する操作が必要がある。このチェックポイント操作で稼動系処理装置と待機系処理装置の状態の同一性を図ることにより、稼動系処理装置での障害発生時に、待機系処理装置は、チェックポイントから稼動系処理装置の処理を引き継ぐことが可能となる。また、障害発生時にチェックポイント操作が行える場合は、待機系処理装置は稼動系処理装置の障害発生状態から処理を引き継ぐことが可能となる。

【0003】図 23 は、例えば、「電子情報通信学会誌 特集 3-3-1 疎結合マルチプロセッサ」（1990 年 11 月号 Vol. 73）に示されたチェックポイント方式による従来の待機冗長化構成の二重化システム

の構成図を示しており、図において、1は稼動状態にある稼動系処理装置、11は中央演算処理装置(CPU)、12は主メモリ、13はシステムバス、2は待機状態にある待機系処理装置、21は中央演算処理装置(CPU)、22は主メモリ、23はシステムバスである。ここで稼動状態にある稼動系処理装置1と待機状態にある待機系処理装置2は、同じ構成である。3は稼動系処理装置1から待機系処理装置2へチェックポイントデータを通知するデータ転送手段である。このデータ転送手段には、稼動系処理装置1と待機系処理装置2で共有できるディスクを使用する方法、回線を通じて通信を行う方法等がある。

【0004】また、各主メモリ12、22に格納されている4a~4n、5a~5nは、各CPU11、21で走行させるタスクであり、タスク4aと5a、…、4nと5nはそれぞれ同一のものである。6a~6nはタスク4a~4nの変数、フラグやレジスタ情報等のタスク内部の状態を示すデータ(以下、タスク内部データと呼ぶ)、7a~7nはタスク5a~5nのタスク内部データ、18、28はタスク管理情報、19、29はチェックポイントでのデータの選択に使用するチェックポイントデータリストである。

【0005】次に動作について説明する。ここで、図24は稼動系処理装置1のチェックポイント処理(操作)、図25は待機系処理装置2のチェックポイント処理(操作)の流れを示すフローチャートである。稼動系処理装置1のCPU11は、タスク管理情報18に従い主メモリ12に格納されたタスクを実行し(ST10)、定められたチェックポイントに到達すると(ST11)、ST12へ進む。ここでチェックポイントとは、タスク中に埋め込まれたチェックポイント命令実行時やタスクスイッチのタイミングである。ST12へ進むと、現チェックポイントで待機系処理装置2へ通知すべきチェックポイントデータを選択する(ST12)。チェックポイントデータの選択は、あらかじめ登録されているチェックポイントデータリスト19に基づいて行う。この選択したチェックポイントデータをタスク内部データ6a~6nから読出し、データ転送手段3への伝達を行う(ST13)。

【0006】一方、図25において待機系処理装置2は稼動系処理装置1からのチェックポイントデータの通知を監視し(ST14)、通知があればチェックポイントデータリスト29を参照し、受信したチェックポイントデータをタスク内部データ7a~7nの該当領域へ格納する(ST15)。以上の動作により、稼動系処理装置1と待機系処理装置2のチェックポイントでの、タスク内部データ6a~6nと7a~7nの一貫性が保たれる。

【0007】又、図26は、例えば特開平4-367903号公報に示された、従来の2重化システムの構成図

である。図において、101は主系プロセッサ(稼動系処理装置)、102は従系プロセッサ(待機系処理装置)、112、122はトラッキングバッファ、113、123はバッファ分割手段、114はトラッキングケーブルである。

【0008】次に動作について説明する。図27は図26の動作手順を示すフローチャートで、主系プロセッサ101がデータのトラッキングを行う時、バッファ分割手段113は、トラッキングすべきデータをハンドリングするプログラムのスキャン周期が高速・低速かを判断し、それぞれのプログラムが扱うデータ量を計算する(ST20)。得られたデータ量とトラッキングバッファ112のサイズからトラッキングバッファ112でのブロック数を計算する(ST21)。そして、データをトラッキングする場合、高速トラッキングのみか、低速トラッキングのみか、高速・低速の両方のトラッキングが必要かのトラッキング方式をチェックし(ST22)、高速・低速・混合の分割方式を選択(ST23)し、トラッキング処理を行う。

【0009】

【発明が解決しようとする課題】従来の図23におけるチェックポイント方式による待機冗長化構成の二重化システムでは、チェックポイントデータの選択やデータ転送手段への通知処理にかかる時間がオーバーヘッドとなり、システムのスループットが低下するという問題があった。又、タスクのスケジューリングを行う計算機システムでは、タスク管理情報も待機系処理装置2に転送する必要があり、この転送は、チェックポイントデータに付加する方法と稼動系の故障発生時にのみ転送を行う方法があるが、前者の場合はチェックポイント処理時間が更に大きくなるという問題があり、後者の場合は故障の程度によっては転送が不可能となることがあるという問題があった。

【0010】又、従来の特開平4-367903号公報に示された2重化システムは、同値化用のバッファを分割しているといっても、同値化対象のデータをそのアクセスプログラムの必要に応じ、高速または低速にトラッキングするためのエリアを確保する分割であり、トラッキングされる主メモリ等の領域(アドレス)は固定された領域であるため、特定の領域だけを同値化したい場合、又は、システムの変更により同値化したいアドレスを変更したい場合等において、H/Wを変更しなければならぬという問題が生じていた。

【0011】更に、従来の特開平4-367903号公報に示された2重化システムでは、主系よりの書き込み時に従系に同値化されるのみであり、例えば、故障していた従系を再立ち上げし、2重化システムに参入させるためメモリに対するデータの同値化のみを行いたいような場合でもすべての領域に対し書き込み処理を行わねばならず、制御プログラム実行中で有れば場合によっては

不必要に外部に対し誤出力を行う原因にもなっていた。

【0012】本発明は上記のような問題点を解決するためになされたもので、チェックポイントデータの選択時間とチェックポイントデータの受け渡しに要する時間を削減することにより、システムのスループットの向上を目的とするものである。

【0013】

【課題を解決するための手段】第1の発明では、中央演算処理装置と主メモリをそれぞれ有する稼働系処理装置と待機系処理装置を並列に設け、障害発生時の処理の引き継ぎに必要なデータを前記稼働系処理装置から前記待機系処理装置に転送する待機冗長化構成の二重化システムにおいて、系間接続用のモニタバスと、前記稼働系処理装置で中央演算処理装置が主メモリにアクセスしたデータを取り込むデータモニタ装置と、取り込んだデータを前記モニタバスを使用して前記待機系処理装置に転送するデータ転送装置と、前記稼働系処理装置から転送されたデータを蓄積するデータ蓄積装置と、このデータ蓄積装置に蓄積されたデータを前記待機系処理装置の主メモリに書き込むデータ展開装置とを備えたものである。

【0014】第2の発明では、データモニタ装置で取り込んだデータを蓄積する第1データ蓄積装置を稼働系処理装置に備え、待機系処理装置の第2データ蓄積装置に蓄積されたデータをデータ展開装置が主メモリに展開中は、前記データモニタ装置で取り込んだデータを前記稼働系処理装置の第1データ蓄積装置に蓄積するものである。

【0015】第3の発明では、稼働系処理装置の主メモリの内容と待機系処理装置の主メモリの内容と同じ値にするイコライズを、前記稼働系処理装置への指示で開始し、イコライズ完了で前記待機系処理装置から前記稼働系処理装置に割り込み通知するものである。

【0016】第4の発明では、稼働系処理装置の中央演算処理装置が主メモリにアクセスを行う際に、アクセスしたデータを待機系処理装置に転送しそのデータを待機系の主メモリに展開し、系間の同値化を同時に行うようにしたものである。

【0017】第5の発明では、待機系処理装置で故障が発生すると、待機系ステータス信号により、前記待機系処理装置の故障を稼働系処理装置に通知し、前記稼働系処理装置のデータの待機系処理装置への転送を停止するものである。

【0018】第6の発明では、稼働系処理装置にモニタバスのバス占有時間監視装置を設け、前記バス占有時間監視装置がモニタバスの監視時間オーバーを検出すると、データ転送のリトライ処理を行いリトライ失敗で、待機系処理装置が故障として前記稼働系処理装置のデータの待機系処理装置への転送を停止するものである。

【0019】第7の発明では、稼働系処理装置で故障が

発生すると、稼働系ステータス信号により、前記稼働系処理装置の故障を待機系処理装置に通知し、前記待機系処理装置では前記稼働系処理装置からのデータの受け入れを切り離し、その時に前記待機系処理装置のデータ蓄積装置に蓄積されているデータを、正常データとして前記待機系処理装置の主メモリにデータ展開するものである。

【0020】第8の発明では、中央演算処理装置と主メモリをそれぞれ有する稼働系処理装置と待機系処理装置を並列に設け、障害発生時の処理の引き継ぎに必要なデータを前記稼働系処理装置から前記待機系処理装置に転送し前記両主メモリ間を同値化する待機冗長化構成の二重化システムにおいて、前記両主メモリ間で同値化すべき領域を設定する領域設定部と、この領域設定部で設定した領域を登録するイコライズ領域設定レジスタと、前記中央演算処理装置が前記主メモリにアクセスしたアドレスが前記イコライズ領域設定レジスタに設定されている領域で有れば動作し、前記アドレスと引き継ぎに必要なデータを前記待機系処理装置に転送するイコライズ回路とを備えたものである。

【0021】第9の発明では、同値化対象が中央演算処理装置のアクセス種別が書込み時か、読出時かを設定するモード指定信号と、前記中央演算処理装置からの書込み信号または読出信号とを受けて、前記中央演算処理装置のアクセス種別が設定されたモードであるか否かを判断するモード選択部を設け、設定されたモードであれば、イコライズ回路を動作させ、待機系処理装置にアドレスと引き継ぎに必要なデータを転送するものである。

【0022】

【作用】第1の発明においては、中央演算処理装置が主メモリにアクセスしたデータを稼働系のデータモニタ装置がモニタし、データ転送装置によって待機系処理装置に転送される。待機系に転送されたデータは待機系のデータ蓄積装置により蓄積される。蓄積されたデータはデータ展開装置により待機系の主メモリに書込み展開される。

【0023】第2の発明においては、稼働系の第1データ蓄積装置により、待機系処理装置でのデータの展開中で待機系にデータが転送できない場合でも、稼働系処理装置でのデータの蓄積を行い、稼働系のタスク実行を妨げない。

【0024】第3の発明においては、イコライズ（同値化）を、稼働系処理装置への指示で開始し、イコライズ完了で稼働系処理装置に割り込みが入るようにした。

【0025】第4の発明においては、稼働系処理装置の中央演算処理装置が主メモリにアクセスを行う際に、アクセスしたデータを待機系処理装置に転送しそのデータを待機系の主メモリに展開するようにして、稼働系の中央制御装置が主メモリにアクセスしたデータが常に待機系の主メモリに展開されるよう作用する。

【0026】第5の発明においては、待機系処理装置で故障が発生すると、その故障信号が待機系ステータス信号により、稼働系処理装置に通知され、稼働系処理装置からのデータの転送を停止する。

【0027】第6の発明においては、バス占有時間監視装置がモニタバスの監視時間オーバーを検出すると、データ転送のリトライ処理を行いリトライ失敗で、稼働系処理装置のデータの転送を停止する。

【0028】第7の発明においては、稼働系処理装置で故障が発生すると、稼働系ステータス信号により、稼働系処理装置の故障を待機系処理装置に通知し、待機系処理装置では稼働系処理装置からのデータの受け入れを切り離し、その時に待機系処理装置のデータ蓄積装置に蓄積されているデータを、正常データとして待機系処理装置の主メモリにデータ展開する。

【0029】第8の発明においては、両主メモリ間で同値化すべき領域を領域設定部からイコライズ領域設定レジスタに登録し、中央演算処理装置が主メモリにアクセスしたアドレスがイコライズ領域設定レジスタに登録されている領域で有れば、イコライズ回路が動作し、前記アドレスと引き継ぎに必要なデータを待機系処理装置に転送する。

【0030】第9の発明においては、同値化対象が中央演算処理装置のアクセス種別が書込み時か、読出時かを設定するモード指定信号と、中央演算処理装置からの書込み信号または読出信号とを受けて、中央演算処理装置のアクセス種別が設定されたモードであるか否かを判断するモード選択部を設け、設定されたモードであれば、イコライズ回路を動作させ、待機系処理装置にアドレスと引き継ぎに必要なデータを転送する。

#### 【0031】

##### 【実施例】

実施例1. 以下、本発明の第1の実施例を図を下に説明する。図1は、本発明の第1の実施例による待機冗長化構成の二重化システムを示す構成図である。図1において、1は稼働系処理装置、2は待機系処理装置であり、図23に示す符号と同一符号は、従来のそれと同一あるいは相当部分であるため詳細な説明は省略する。30はCPU11から主メモリ12に書き込まれるタスク内部データ6a~6nを監視し取り込むデータモニタ装置、40は取り込んだデータを待機系処理装置2に転送するデータ転送装置、50は稼働系処理装置1から転送されたデータを蓄積するデータ蓄積装置、60は蓄積されたデータをチェックポイントタイミングで、主メモリ22内のタスク内部データ7a~7nへ展開するデータ展開装置、70は稼働系処理装置1から待機系処理装置2へデータ転送を行うためのモニタバスである。

【0032】又、91はデータモニタ装置30が取り込んだデータの量をカウントすることにより、待機系データ蓄積装置50のデータ蓄積量を監視し、満杯であれば

稼働系CPU11に通知する蓄積装置フル発生通知信号、92は稼働系CPU11がデータ展開装置60へチェックポイント（タイミング）を通知し、データの展開開始を指示するチェックポイント指示信号、93はデータ展開装置60の動作状態を示すチェックポイントステータス信号であり、データ展開処理中であれば有意、非データ展開処理中であれば無意となる。

【0033】次に動作について説明する。図2は第1の実施例による稼働系処理装置1のチェックポイント処理（操作）の流れを示すフローチャートである。今、CPU11でのタスク実行（ST30）により、タスク内部データ6a~6nに変化が発生したとすると、データモニタ装置30がその変化したデータとアドレスを取り込み（ST34）、データ転送装置40が取り込んだデータとアドレスをモニタバス70を使用し待機系処理装置2へ転送する（ST35）。ここでデータモニタ装置30は取り込んだデータ量をカウントしており、取り込んだデータ量すなわち、待機系処理装置2へ転送したデータ量が、データ蓄積装置50の容量を越える場合は（ST36）、CPU11へ蓄積装置フル発生通知信号91を発行する（ST37）。

【0034】一方、蓄積装置フル発生通知信号91を受け取ったCPU11は（ST31）、データ展開処理装置60へチェックポイント指示信号92を発行する（ST32）。CPU11はチェックポイントステータス信号93を監視することにより、データ展開装置60の処理完了を待ち（ST33）、再度タスク実行を開始する。ここでCPU11がチェックポイント指示信号92を発行することにより、データモニタ装置30が持つデータ量カウンタがクリアされる。また、ST31では、従来例と同様に、タスク中に埋め込まれたチェックポイント命令実行時やタスクスイッチのタイミングでもST32へ進む。さらに、CPU11でのタスクスイッチ等により発生する主メモリ12に格納されたタスク管理情報18の変化も同様に、上記フローにて稼働系処理装置1から待機系処理装置2へ転送を行う。

【0035】次に待機系処理装置2のチェックポイント処理（操作）の流れを図3のフローチャートを用いて説明する。データ蓄積装置50は稼働系処理装置1から転送されてきたデータとアドレスを受信し、蓄積しておく（ST40）、データ展開装置60は稼働系CPU11からのチェックポイント指示信号92の通知があれば（ST41）、チェックポイントステータス信号93を有意にし、ST43へ進む（ST42）。ST43へ進むと、データ展開装置60はデータ蓄積装置50に蓄積されたデータを、主メモリ22内のタスク内部データ7a~7nへ展開し（ST43）、蓄積されたデータをすべて展開完了した時点で、チェックポイントステータス信号93を無意にし、データ展開完了を稼働系処理装置1へ知らせる（ST44）。ここでデータを展開すべき



領域については、稼動系処理装置 1 から転送されたデータに付加されたアドレスで判断を行う。

【0036】このようにして、本発明の第 1 の実施例では、チェックポイント（タイミング）での CPU 11 によるチェックポイントデータの選択、チェックポイントデータの転送（40 から 50 への転送）を省略し、稼動系処理装置 1 と待機系処理装置 2 のタスク内部データ 6a ~ 6n と 7a ~ 7n の一貫性を保つためのチェックポイント処理を実現する。なお、30 は CPU 11 から主メモリ 12 に書き込まれるタスク内部データ 6a ~ 6n を監視し取り込むデータモニタ装置として説明したが、待機系処理装置 2 の再立ち上げのときは、CPU 11 が主メモリをアクセス（読み取りあるいは書き込み）したタスク内部データ 6a ~ 6n を監視し取り込むデータモニタ装置となる。

【0037】実施例 2. 本発明の第 2 の実施例を図を下に説明する。図 4 は、本発明の第 2 の実施例による待機冗長化構成の二重化システムを示す構成図である。上記した符号と同一符号は、上記と同一あるいは相当部分であるため詳細な説明は省略する。80 は待機系処理装置 2 に備えた（第 2）データ蓄積装置 50 と同等の機能を持つ（第 1）データ蓄積装置である。

【0038】次に動作について説明する。図 5 は第 2 の実施例による稼動系処理装置 1 のチェックポイント処理（操作）の流れを示すフローチャートである。今、CPU 11 でのタスク実行（ST 50）により、タスク内部データ 6a ~ 6n に変化が発生したとすると、データモニタ装置 30 がその変化したデータとアドレスを取り込み、取り込んだデータとアドレスを自処理装置内のデータ蓄積装置 80 に蓄積する（ST 53）。ここでデータモニタ装置 30 は取り込んだデータ量をカウントしており、取り込んだデータ量が、データ蓄積装置 50 の容量を越える場合は（ST 54）、CPU 11 へ蓄積装置フル発生通知信号 91 を発行する（ST 55）。蓄積装置フル発生通知信号 91 を受け取った CPU 11 は（ST 51）、データ展開処理装置 60 へチェックポイント指示信号 92 を発行する（ST 52）。

【0039】次に、データ転送装置 40 の処理について説明する。データ転送装置 40 はデータ展開装置 60 の状態を監視しながら動作する。データ蓄積装置 80 内にデータが存在する場合に（ST 56）、チェックポイントステータス信号 93 によりデータ展開装置 60 の状態を判定し（ST 57）、チェックポイントステータス信号が無意の場合に限りモニタバス 70 を使用し、待機系処理装置 2 へデータを転送する（ST 58）。一方チェックポイントステータス信号が有意の場合は、待機系処理装置 2 へのデータの転送を中断する（ST 57）。このようにしてデータ転送装置 40 が、待機系処理装置 2 でのチェックポイント処理中であれば、稼動系処理装置 1 側のデータ蓄積装置 80 にデータを蓄えたままにして

おくことにより、CPU 11 は待機系処理装置 2 のデータ展開完了を待つことなく、継続してタスク実行が可能となる。

【0040】ここで待機系処理装置 2 のデータ展開装置 60 からタスク内部データ 7a ~ 7n への書き込み性能が、稼動系処理装置 1 のデータモニタ装置 30 の性能より劣っている場合は、稼動系データ蓄積装置 80 の容量をその性能比に応じて実装することにより、稼動系データ蓄積装置 80 のフルが発生することは無い。実施例 2 の待機系処理装置 2 のチェックポイント処理は、実施例 1 と同一であるので詳細な説明は省略する。

【0041】実施例 3. 本発明の第 3 の実施例を図を下に説明する。図 6 は、本発明の第 3 の実施例による待機冗長化構成の二重化システムを示す構成図である。上記した符号と同一符号は、上記と同一あるいは相当部分であるため詳細な説明は省略する。94 は外部から稼動系処理装置 1 へのイコライズ起動信号であり、95 はイコライズ完了割り込み信号である。

【0042】次に動作について説明する。図 7 は第 3 の実施例による自動イコライズ処理の流れを示すフローチャートである。今、稼動系処理装置 1 が実行の為、タスクを実行する（ST 201）。タスクの実行中に自動イコライズのタイミングが必要になった時、イコライズ起動信号 94 をハイレベルにし、自動イコライズ指示を行い、稼動系の DRAM データのリード／ライトを行う（ST 202）。系間 DMA が動作を開始し、上記 DRAM の内容を待機系に転送し、待機系ではデータをモニタし、データを取り込む（ST 203）。DMA が終わるとデータイコライズが完了する（ST 204）。データイコライズが完了すると稼動系に通知する為、イコライズ完了割り込み信号 95 を使用し稼動系への割り込みを入れる（ST 205）。割り込みを受けた稼動系では割り込み処理を起動し（ST 206）、この割り込み処理により稼動系の自動イコライズ完了後の後処理を行う。なお、自動イコライズとは、稼動系のメモリの内容と待機系のメモリの内容を同じ値にする機能で、チェックポイントの指示信号を必要としないモードである。

【0043】実施例 4. 本発明の第 4 の実施例を図を下に説明する。図 8 は、本発明の第 4 の実施例による待機冗長化構成の二重化システムを示す構成図である。上記した符号と同一符号は、上記と同一あるいは相当部分であるため詳細な説明は省略する。

【0044】次に動作について説明する。図 9 は第 4 の実施例の処理の流れを示すフローチャートである。稼動系処理装置 1 上でタスクが実行される（ST 301）。タスクが主メモリ 12 のメモリにアクセスする（ST 302）。アクセスしたデータは、データ蓄積装置 80 に送られる（ST 303）。つまり主メモリ 12 に送られるデータをデータ蓄積装置 80 にも同時に転送する。データ蓄積装置 80 に送られたデータはモニタバス 70 を



通じて待機系にデータが送られる（ST304）。待機系では送られたデータを受信する（ST305）。受け取ったデータは、主メモリ22上に展開される（ST306）。このように、主メモリ12に送られるデータは、待機系にも転送され、同時に待機系の主メモリ22上に展開される。そのため、実施例1の蓄積装置フル発生通知信号91、チェックポイント指示信号92、チェックポイントステータス信号93は、設けられていない。

【0045】実施例5. 本発明の第5の実施例を図を下に説明する。図10は、本発明の第5の実施例による待機冗長化構成の二重化システムを示す構成図である。上記した符号と同一符号は、上記と同一あるいは相当部分であるため詳細な説明は省略する。98は待機系の状態を通知する為の待機系ステータス信号である。

【0046】次に動作について説明する。図11は第5の実施例による処理の流れを示すフローチャートである。稼動系処理装置1はタスクを実行する（ST601）。待機系処理装置2では稼動系処理装置1のデータをモニタし、データを取り込む（ST602）。待機系処理装置2で正常動作時は、待機系ステータス信号98が有意である（ST603）。待機系処理装置2で故障が発生する（ST604）。故障によって待機系ステータス信号98が無意になる（ST605）。待機系ステータス信号98が無意になったことによって稼動系処理装置1では待機系処理装置の故障を認識する（ST606）。待機系処理装置2が故障になったことによって稼動系処理装置1のデータモニタ装置30の機能を停止する（ST607）。これにより、稼動系処理装置1のデータの待機系処理装置2への転送を停止する。

【0047】実施例6. 本発明の第6の実施例を図を下に説明する。図12は、本発明の第6の実施例による待機冗長化構成の二重化システムを示す構成図である。上記した符号と同一符号は、上記と同一あるいは相当部分であるため詳細な説明は省略する。99はモニタバスパリティ生成装置、100はモニタバスパリティ検出装置、101はバス占有時間監視装置である。

【0048】次に動作について説明する。図13は第6の実施例による処理の流れを示すフローチャートである。稼動系処理装置1はタスクを実行する（ST701）。データモニタ装置30が変化したデータとアドレスを取り込む。データ転送装置40が取り込んだデータとアドレスを転送するにあたって、モニタバスパリティ生成装置99がモニタバス70上にそのデータにパリティを付加する（ST702）。待機系処理装置2に送信する（ST703）。稼動系処理装置1ではバス占有時間監視装置101が常時モニタバス70のバス占有時間を監視する（ST704）。モニタバス70の監視時間がオーバーした時は、データ転送のリトライ処理を行い（ST705）、リトライ失敗で出力を出す。待機系処

理装置2ではモニタバスパリティ検出装置100が送られてきたデータをチェックする（ST706）。エラーであればモニタバス70の待機系ステータス信号98に出力（無意）される（ST707）。モニタバス70の監視時間オーバーによるバス占有時間監視装置101のリトライ失敗の出力とモニタバス70の待機系ステータス信号98の出力（無意）との論理和を計算する（ST708）。もし、いずれかに出力がある場合、待機系処理装置2が故障になったと考え、稼動系処理装置1のデータモニタ装置30の機能を停止する（ST709）。これにより、稼動系処理装置1のデータの待機系処理装置2への転送を停止する。

【0049】実施例7. 本発明の第7の実施例を図を下に説明する。図14は、本発明の第7の実施例による待機冗長化構成の二重化システムを示す構成図である。上記した符号と同一符号は、上記と同一あるいは相当部分であるため詳細な説明は省略する。102は稼動系処理装置の状態を通知する稼動系ステータス信号、103は稼動系処理装置1からのデータの受け入れを切り離す切り離す装置、104はデータ蓄積装置50に蓄積されているイコライズデータを、正常データとして待機系処理装置2の主メモリ22にデータ展開するデータ展開装置である。

【0050】次に動作について説明する。図15は第7の実施例による処理の流れを示すフローチャートである。稼動系処理装置1はタスクを実行する（ST801）。稼動系処理装置1で故障が発生する（ST802）。故障によって稼動系ステータス信号102が無意になる（ST803）。稼動系ステータス信号が無意になったことによって待機系処理装置2では稼動系処理装置1の故障を認識する（ST804）。切り離し装置103が稼動系処理装置1からのデータの受け入れ処理を切り放す（ST805）。待機系処理装置2のデータ蓄積装置50に蓄積されているイコライズデータを、正常データとしてデータ展開装置104が主メモリ22にデータ展開を行う（ST806）。

【0051】実施例8. 本発明の第8の実施例を図を下に説明する。図16は、本発明の第8の実施例による待機冗長化構成の二重化システムを示す構成図である。上記した符号と同一符号は、上記と同一あるいは相当部分であるため詳細な説明は省略する。300は主系プロセッサすなわち稼動系処理装置、301は従系プロセッサすなわち待機系処理装置、302A、302Bは中央演算処理装置（CPU）、303A、303Bは主メモリ、304A、304Bはイコライズ回路、305は稼動系処理装置300と待機系処理装置301を接続するイコライズ用バス、320A、320BはCPU302A、302Bが出力するアドレス信号、321A、321Bはデータ信号である。

【0052】また、図17は図16の詳細図で、305

Aは稼働系処理装置300と待機系処理装置301間で転送されるアドレス信号、305Bはデータ信号、305Cは制御信号である。310A、310Bは領域設定部、311-1A~311-NA、311-1B~311-NBはイコライズ領域設定レジスタで、領域設定部310A、310Bから設定されるイコライズ領域の上限値が登録されている。312-1A~312-NA、312-1B~312-NBはイコライズ領域設定レジスタで、領域設定部310A、310Bから設定されるイコライズ領域の下限値が登録されている。330は領域一致信号である。

【0053】また、図18はイコライズ領域の設定例で、上限値と下限値を3種設定した場合を示し、「イコライズする」部分がイコライズされ稼働系処理装置300と待機系処理装置301で同じ値となるが、「イコライズしない」部分は同値化されず異なる値のままとなる。

【0054】次に動作について説明する。図19は第8の実施例による処理の流れを示すフローチャートである。イコライズ領域それぞれの上限值・下限値を領域設定部310Aからイコライズ領域設定レジスタ311-1A~311-NA、312-1A~312-NAに登録する(ST900)。稼働系CPU302Aが稼働系主メモリ303Aにアクセスする時(ST901)、各イコライズ領域設定レジスタ311-1A~311-NA、312-1A~312-NAは、該アドレスが各々に設定されている上限値~下限値の領域にあるかチェックする(ST902)。各イコライズ領域設定レジスタ311-1A~311-NA、312-1A~312-NAは、該アドレスが自領域内にあるとき領域一致信号330をイコライズ回路304Aに出力する。(領域外であれば出力しない)(ST903)。イコライズ回路は領域一致信号330を受けた場合、CPU302Aからのアドレス信号320Aと主メモリ303Aからのデータ信号321Aを取り込み、制御信号305Cと共に待機系処理装置301のイコライズ回路304Bに出力する(ST904)。待機系処理装置301のイコライズ回路304Bでは、制御信号305Cにより稼働系処理装置300のイコライズ回路304Aから受けたアドレス信号とデータ信号で、待機系主メモリ303Bをイコライズする(ST905)。この場合、イコライズ回路304BからCPU302Bに通知して主メモリ303Bに展開してもよいし、イコライズ回路304Bから直接主メモリ303Bに展開してもよい。

【0055】イコライズ領域設定レジスタ311-1A~311-NA、312-1A~312-NAはN個を有し、任意の空間を設定可能であると共に、重複設定となる等設定誤りがあった場合には、領域設定部310Aから設定エラーとすることもエラーとしないことも可能である。上記では稼働系処理装置300から待機系処理

装置301に書き込む場合を示したが、待機系処理装置301から稼働系処理装置300にイコライズする場合も同様の動作となる。

【0056】実施例9. 本発明のさらに第9の実施例を図を下に説明する。図20は、本発明のさらに第9の実施例による待機冗長化構成の二重化システムを示す構成図である。上記した符号と同一符号は、上記と同一あるいは相当部分であるため詳細な説明は省略する。400A、400BはCPU302A、302Bから出力される書き込み信号、401A、401BはCPU302A、302Bから出力される読出信号、410A、410Bはイコライズモードを設定するモード指定信号である。

【0057】また、図21は図20のイコライズ回路304Aの一部の詳細図で、420Aは、書き込み信号400Aと読出信号401Aとモード指定信号410Aとの比較から、CPUからのアクセスモードの一致をチェックするモード選択部、430Aはモード選択部420Aからモードの一致を知らせるイコライズ指示信号である。この各機能、構成は待機系処理装置301でも同様に有している。

【0058】次に動作について説明する。図22は第9の実施例による処理の流れを示すフローチャートである。最初に、イコライズ回路304Aにモード指定信号410Aによりモード指定を行う(ST910)。CPU302Aが主メモリ303A等にアクセスするためCPU302Aから書き込み信号400Aまたは読出信号401Aが出力される(ST911)。イコライズ回路304A内のモード選択部420Aにてモード指定信号410Aと書き込み信号400Aまたは読出信号401Aとの対応を行う(ST912)。モード指定信号410Aと書き込み信号400Aまたは読出信号401Aとが合致していれば、イコライズ指示信号430Aを出力する(ST913)。これにより、稼働系イコライズ回路304Aから待機系イコライズ回路304Bにアドレス信号305A、データ信号305B、制御信号305Cが送られ、同値化処理が実行される(ST914)。このように、CPUの主メモリへの書き込み動作だけでなく、読出動作のみでも同値化でき、待機系処理装置の再起動にも対応できる。

【0059】

【発明の効果】以上のように、第1の発明によれば、チェックポイントでの稼働系中央演算処理装置によるチェックポイントデータの選択、チェックポイントデータの転送が、中央演算処理装置のタスク実行処理と並列処理されるかあるいは省略されるため、システムのスループットを向上させることができる。

【0060】第2の発明によれば、待機処理装置で蓄積されたデータの展開中で待機系にデータが転送できない場合でも、稼働処理装置でタスク実行が可能となるの

で、さらにシステムのスループットを向上させることができる。

【0061】第3の発明によれば、イコライズ（同値化）要求をプログラムから操作でき、かつ、イコライズ完了をプログラムで認識できる為、プログラムの実行の区切りの良い箇所でイコライズを行うことにより最適な箇所でイコライズが可能になる。

【0062】第4の発明によれば、稼働系処理装置の中央演算処理装置が主メモリにアクセスを行う際に、アクセスしたデータを待機系処理装置に転送しそのデータを待機系の主メモリに展開するようにしたので、稼働系の中央制御装置が主メモリにアクセスしたデータが常に待機系の主メモリに展開させることができる。

【0063】第5の発明によれば、待機系が故障になった場合、稼働系処理装置のデータの転送を停止することにより、待機系での故障による稼働系への影響をくい止めることができる。

【0064】第6の発明によれば、モニタバスが故障になった場合、稼働系処理装置のデータの転送を停止することにより、モニタバスでの故障による稼働系への影響をくい止めることができる。

【0065】第7の発明によれば、稼働系が故障になった場合、待機系処理装置では稼働系処理装置からのデータの受け入れを切り離し、稼働系よりの異常データの入力をくい止め、故障以前に受け取った正常データにより待機系が稼働系として実行でき、信頼性の高い2重化システムを得ることができる。

【0066】第8の発明によれば、同一H/Wにおいて、両主メモリ間で同値化すべき領域を領域設定部からイコライズ領域設定レジスタに登録設定できるので、システム変更時、または、他システムへの適用時等に、H/Wを再設計する必要がなくなり、コスト低減が図れる。また、各領域を同値化するかしなないかは、主メモリをアクセスするアプリケーションプログラムからは何等意識する必要がないため、ユーザに負荷を欠けない2重化システムになる。

【0067】第9の発明によれば、データの同値化を行う場合、稼働系処理装置からの読出動作においても可能となるため、主メモリを再度書込みすることなく同値化が行えるため、システムの信頼性が上がり、待機系処理装置のみを再立ち上げた場合でも稼働系処理装置との同値化が容易となり、保守しやすい2重化システムになる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施例による待機冗長化構成の二重化システムを示す構成図である。

【図2】 本発明の第1の実施例による稼働系処理装置のチェックポイント処理の流れを示すフローチャートである。

【図3】 本発明の第1の実施例による待機系処理装置

のチェックポイント処理の流れを示すフローチャートである。

【図4】 本発明の第2の実施例による待機冗長化構成の二重化システムを示す構成図である。

【図5】 本発明の第2の実施例による稼働系処理装置のチェックポイント処理の流れを示すフローチャートである。

【図6】 本発明の第3の実施例による待機冗長化構成の二重化システムを示す構成図である。

【図7】 本発明の第3の実施例による自動イコライズ処理の流れを示すフローチャートである。

【図8】 本発明の第4の実施例による待機冗長化構成の二重化システムを示す構成図である。

【図9】 本発明の第4の実施例による処理の流れを示すフローチャートである。

【図10】 本発明の第5の実施例による待機冗長化構成の二重化システムを示す構成図である。

【図11】 本発明の第5の実施例による処理の流れを示すフローチャートである。

【図12】 本発明の第6の実施例による待機冗長化構成の二重化システムを示す構成図である。

【図13】 本発明の第6の実施例による処理の流れを示すフローチャートである。

【図14】 本発明の第7の実施例による待機冗長化構成の二重化システムを示す構成図である。

【図15】 本発明の第7の実施例による処理の流れを示すフローチャートである。

【図16】 本発明の第8の実施例による待機冗長化構成の二重化システムを示す構成図である。

【図17】 図16の詳細図である。

【図18】 本発明の第8の実施例によるイコライズ領域の設定例である。

【図19】 本発明の第8の実施例による処理の流れを示すフローチャートである。

【図20】 本発明のさらに第9の実施例による待機冗長化構成の二重化システムを示す構成図である。

【図21】 図20のイコライズ回路の一部の詳細図である。

【図22】 本発明の第9の実施例による処理の流れを示すフローチャートである。

【図23】 従来の待機冗長化構成の二重化システムを示す構成図である。

【図24】 従来の稼働系処理装置のチェックポイント処理の流れを示すフローチャートである。

【図25】 従来の待機系処理装置のチェックポイント処理の流れを示すフローチャートである。

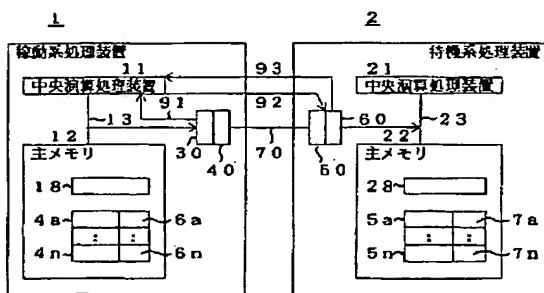
【図26】 従来の他の2重化システムの構成図である。

【図27】 図26の動作手順を示すフローチャートである。

## 【符号の説明】

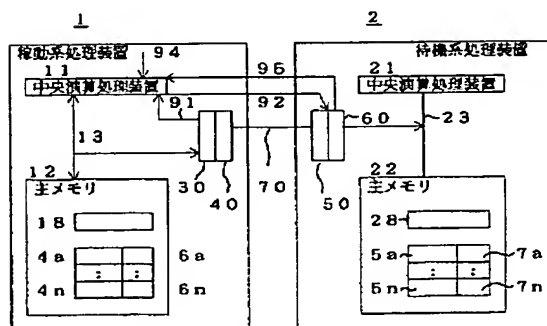
1 稼動系処理装置、2 待機系処理装置、11、21 中央演算処理装置、12、22 主メモリ、18、28 タスク管理情報、4a~4n、5a~5n タスク、6a~6n、7a~7n タスク内部データ、30 データモニタ装置、40 データ転送装置、50 データ蓄積装置、60 データ展開装置、70 モニタバス、80 データ蓄積装置、91 蓄積装置フル発生通知信号、92 チェックポイント指示信号、93 チェックポイントステータス信号、94 イコライズ起動信号、95 イコライズ完了割り込み信号、98 待機系ステータス信号、99 モニタバスパリティ生成装置、100 モニタバスパリティ検出装置、101 バス占有時間監視装置、102 稼動系ステータス信号、10

【図1】



4a~4n、5a~5n:タスク  
6a~6n、7a~7n:タスク内部データ  
12、22:主メモリ  
13、23:システムバス  
18、28:タスク管理情報  
30:データモニタ装置  
40:データ転送装置  
50:データ蓄積装置  
60:データ展開装置  
70:モニタバス  
91:蓄積装置フル発生通知信号  
92:チェックポイント指示信号  
93:チェックポイントステータス信号

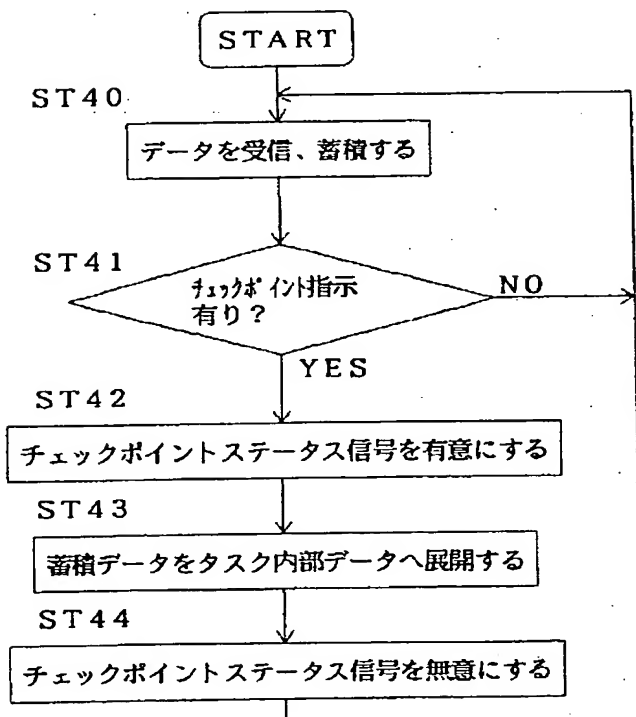
【図6】



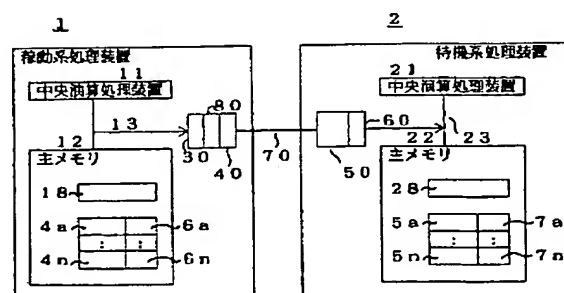
94:イコライズ起動信号  
95:イコライズ完了割り込み信号

3 切り離し装置、104 データ展開装置、300 稼動系処理装置、301 待機系処理装置、302A、302B 中央演算処理装置、303A、303B 主メモリ、304A、304B イコライズ回路、305A アドレス信号、305B データ信号、305C 制御信号、310A、310B 領域設定部、311-1A~311-NA、311-1B~311-NB イコライズ設定レジスタ、312-1A~312-NA、312-1B~312-NB イコライズ設定レジスタ、320A、320B アドレス信号、321A、321B データ信号、400A、400B 書込み信号、401A、401B 読出信号、410A、410B モード指定信号、420A、420B モード選択部、430A、430B イコライズ指示信号。

【図3】



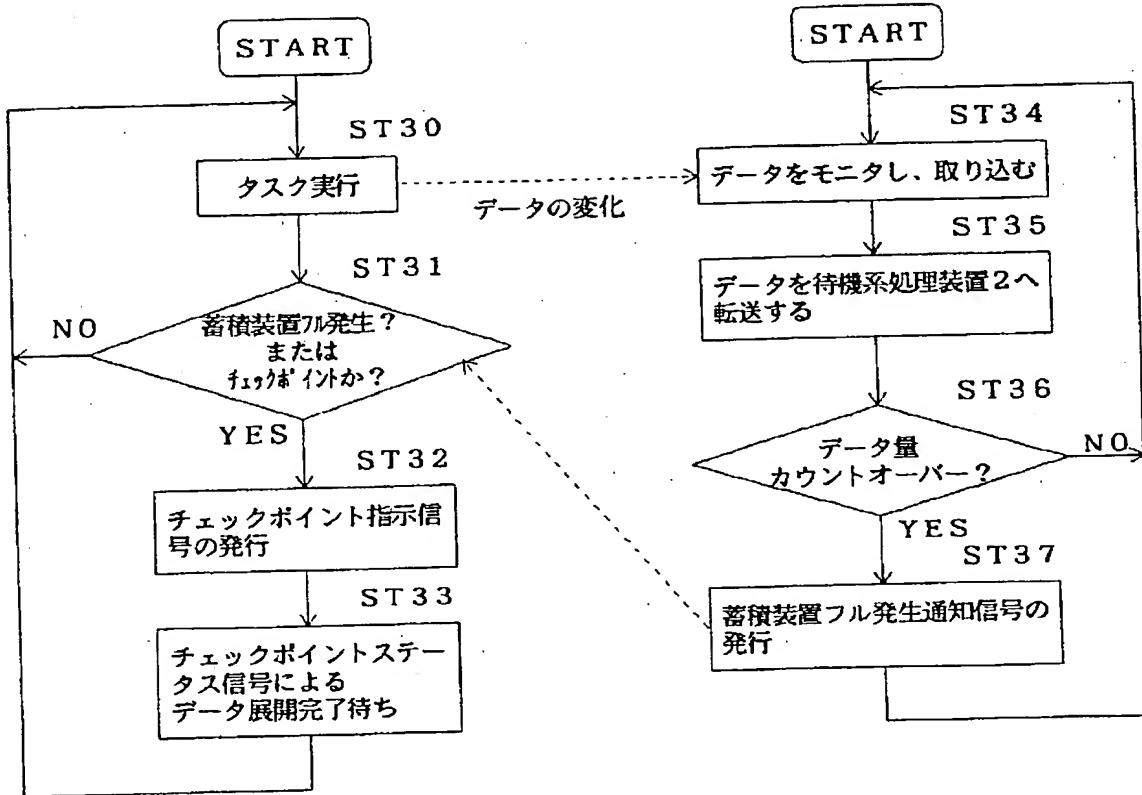
【図8】



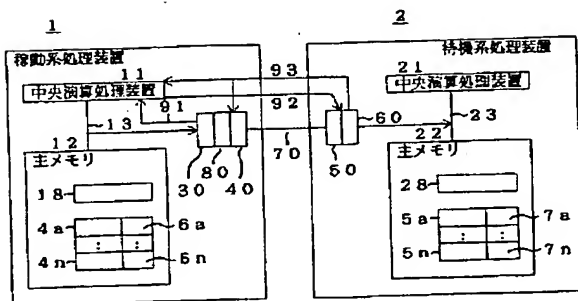
【図2】

&lt;CPU11での処理&gt;

&lt;データモニタ装置30、データ転送装置40での処理&gt;

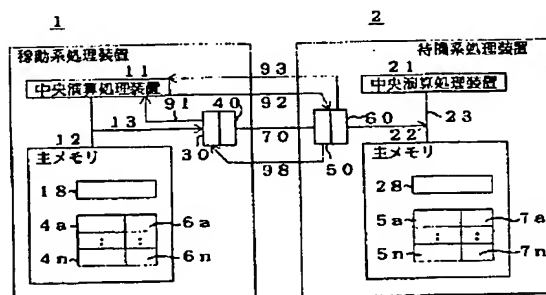


【図4】



80: (第1) データ蓄積装置  
50: (第2) データ蓄積装置

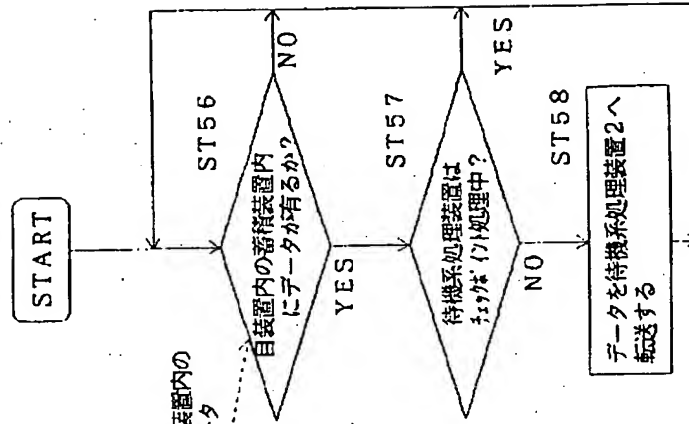
【図10】



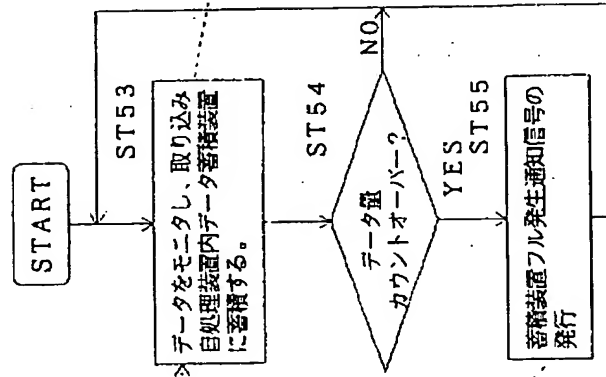
98: 待機系ステータス信号

【図 5】

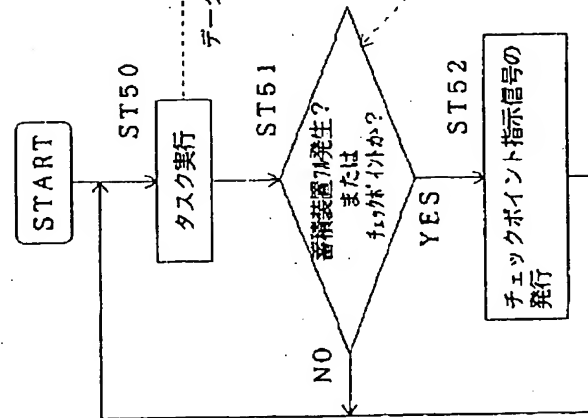
&lt;データ転送装置40での処理&gt;



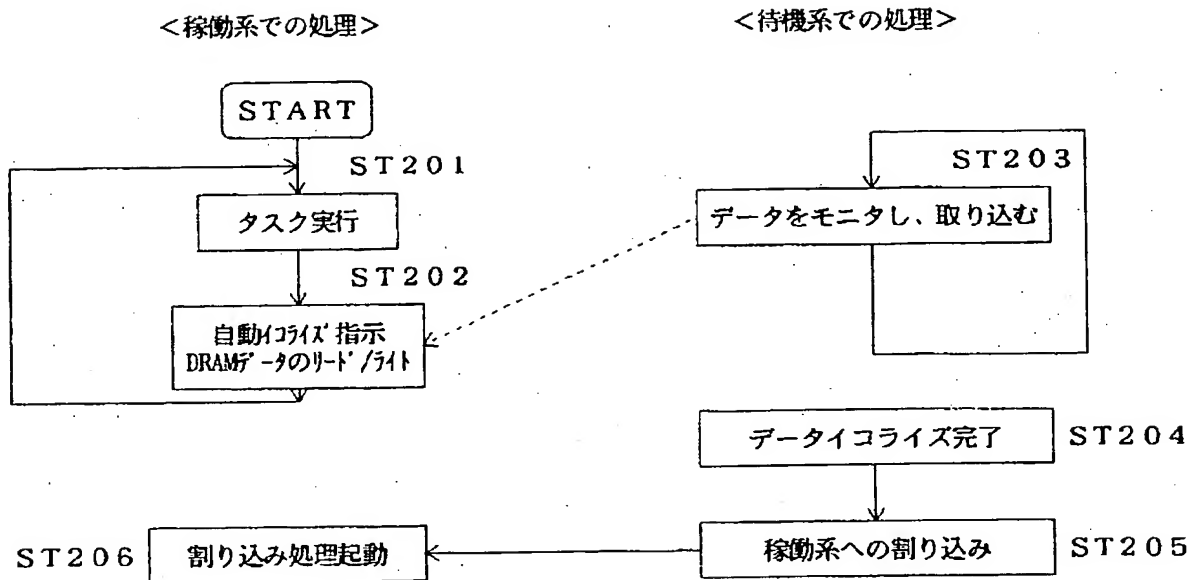
&lt;データモニタ装置30での処理&gt;



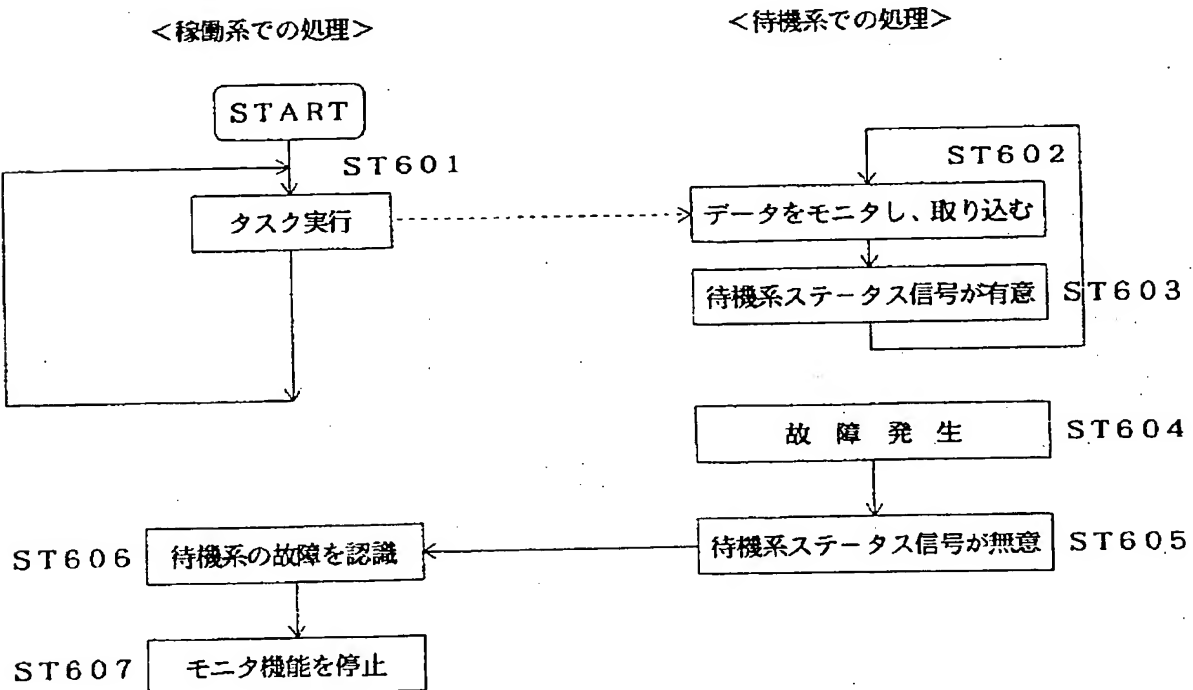
&lt;CPU11での処理&gt;



【図7】

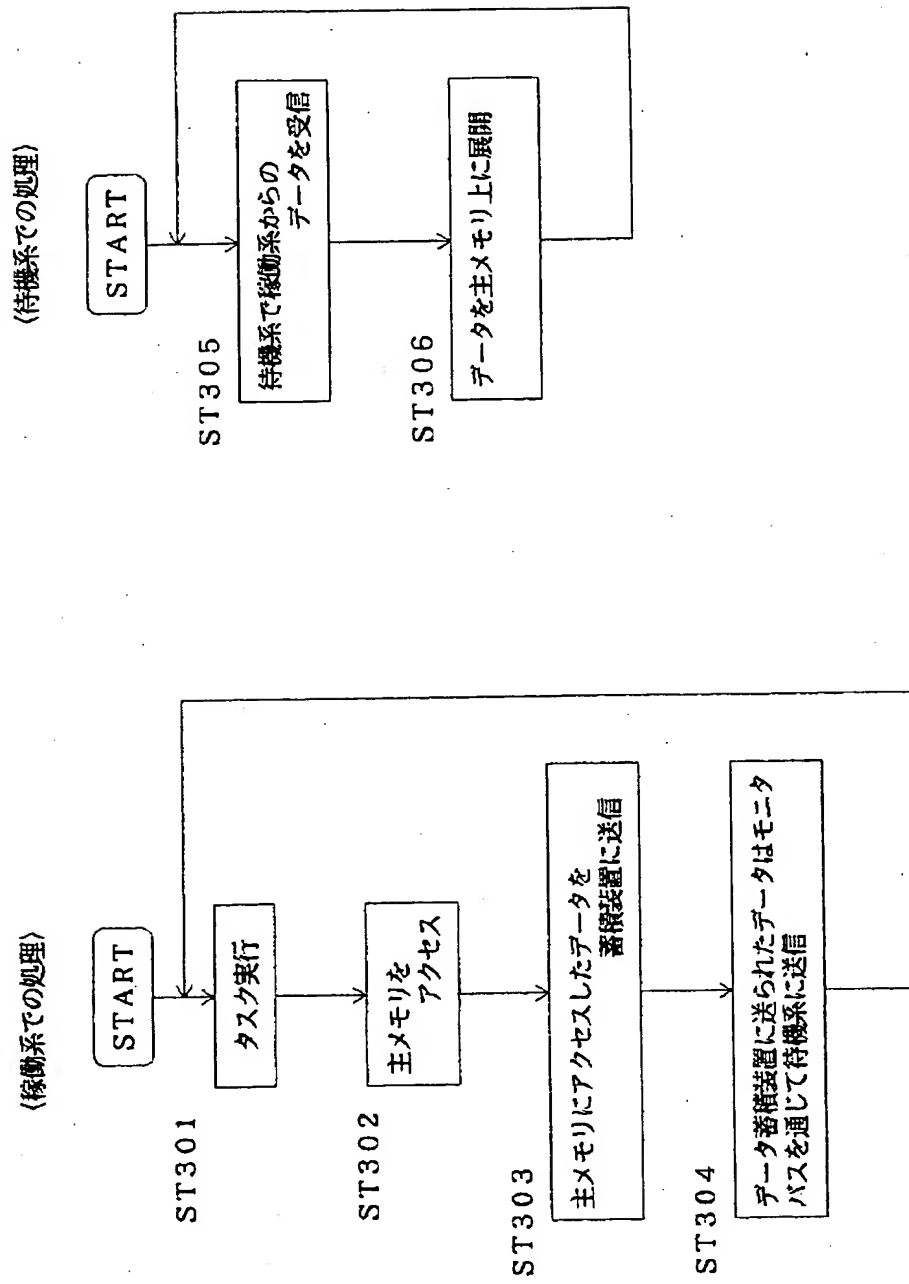


【図11】

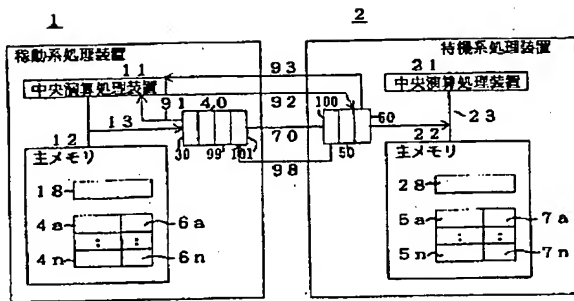




【図 9】

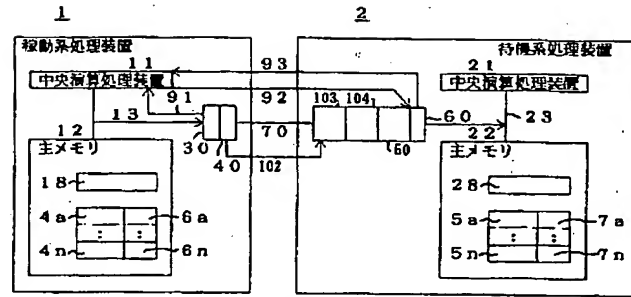


【図12】



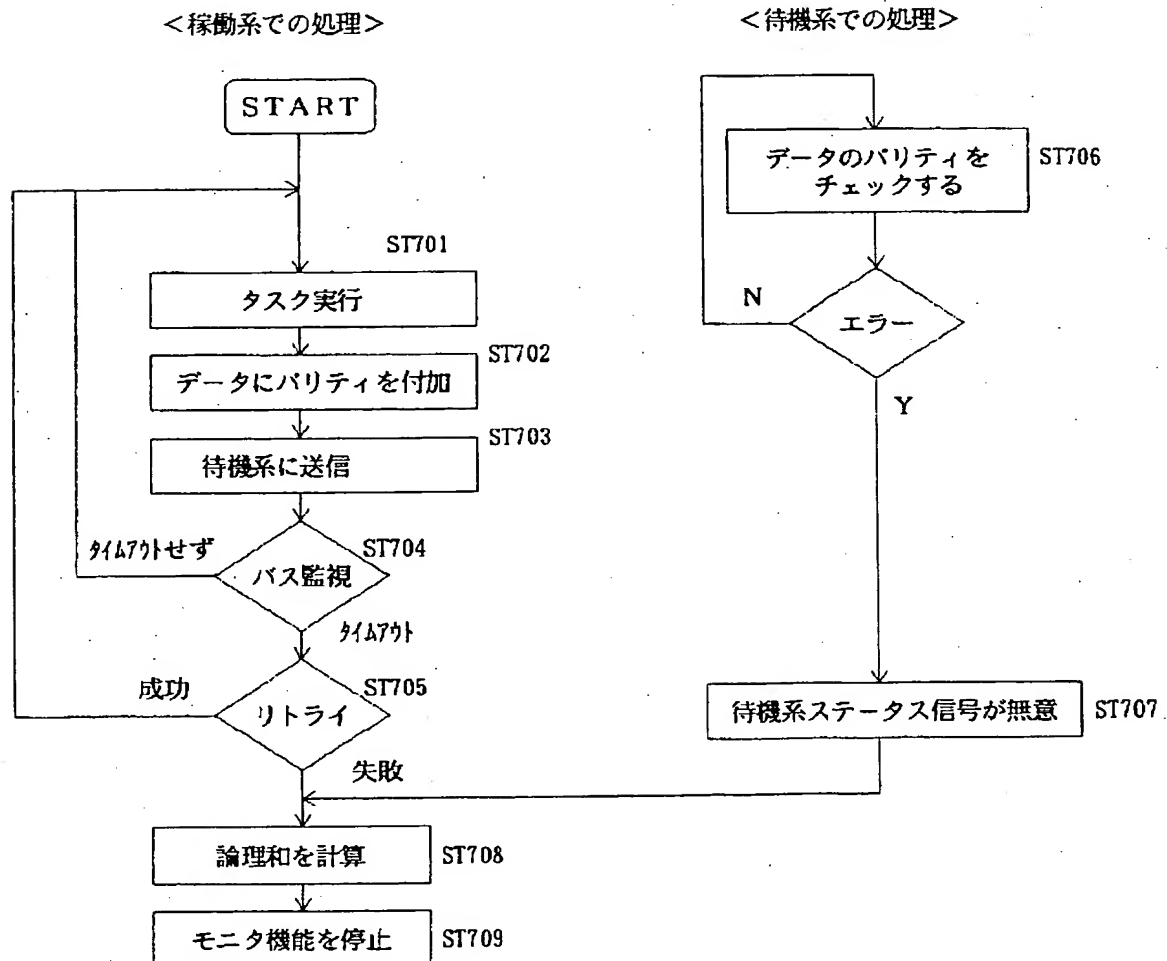
99: モニタバスパリティ生成装置  
 100: モニタバスパリティ検出装置  
 101: バス占有時間監視装置

【図14】

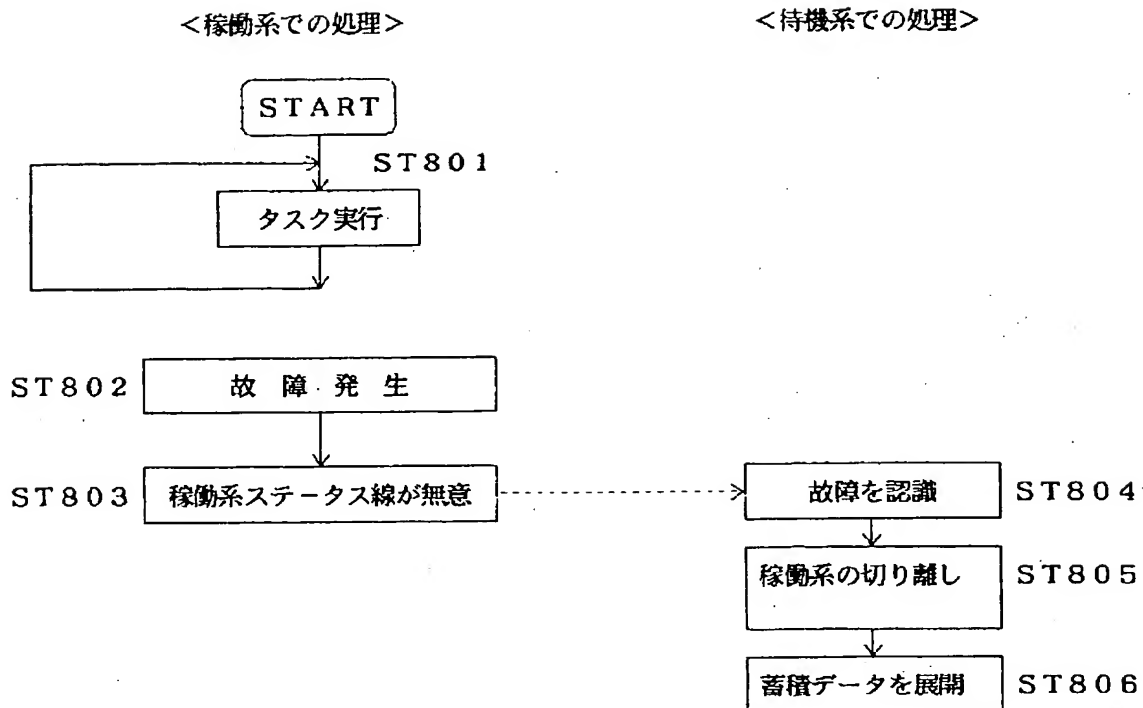


102: 稼働系ステータス信号  
 103: 切り離し装置  
 104: データ戻り装置

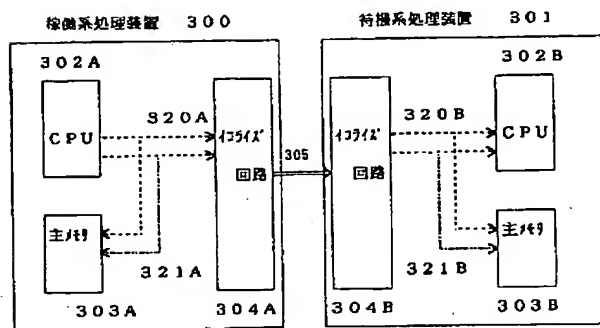
【図13】



【図 15】

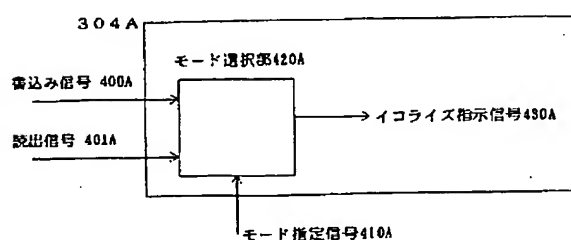


【図 16】

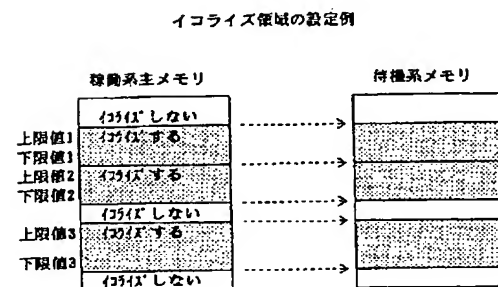


320A, 320B: アドレス信号  
321A, 321B: データ信号

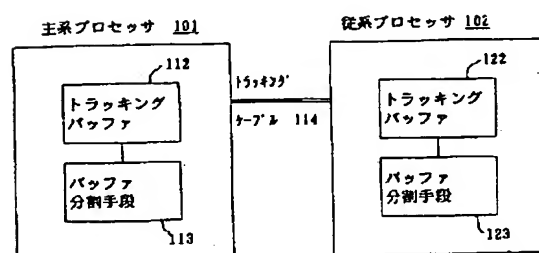
【図 21】



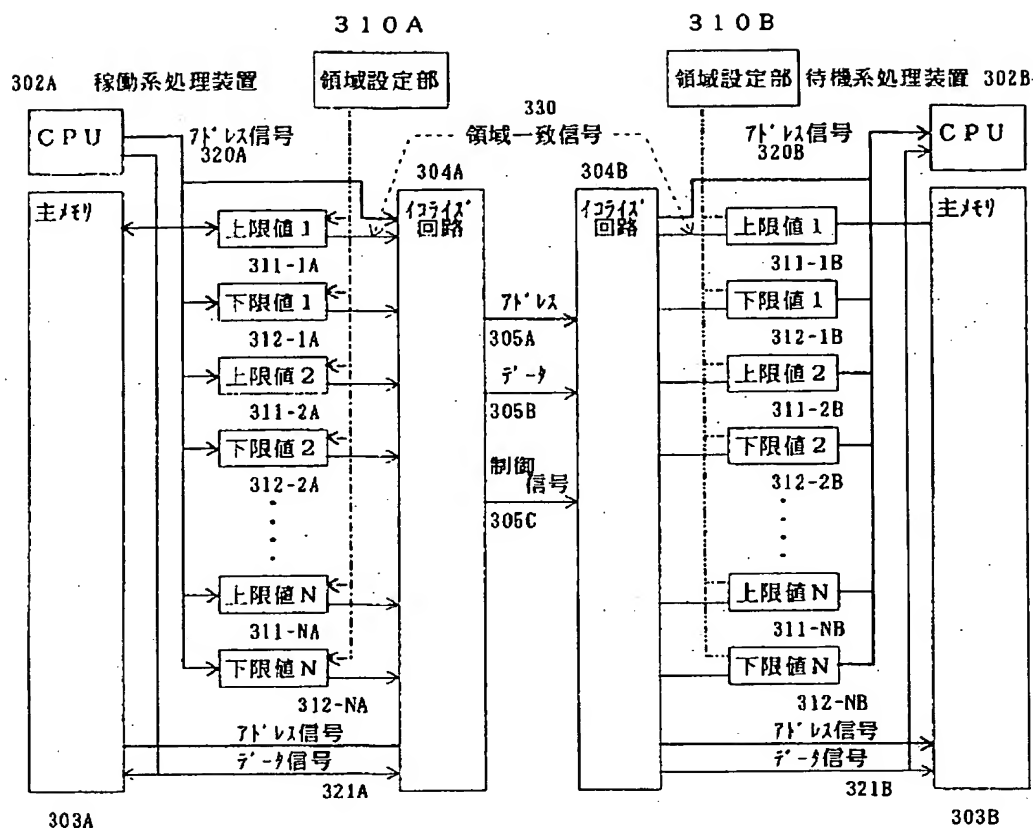
【図 18】



【図 26】

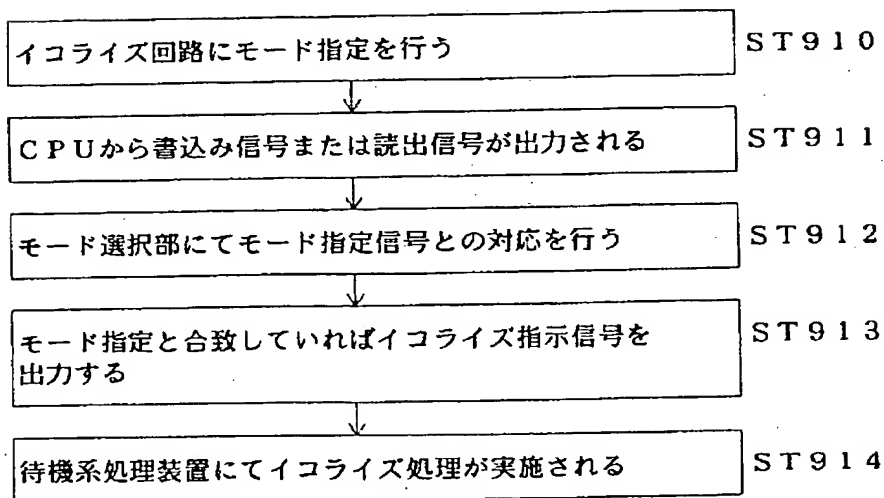


【図 17】

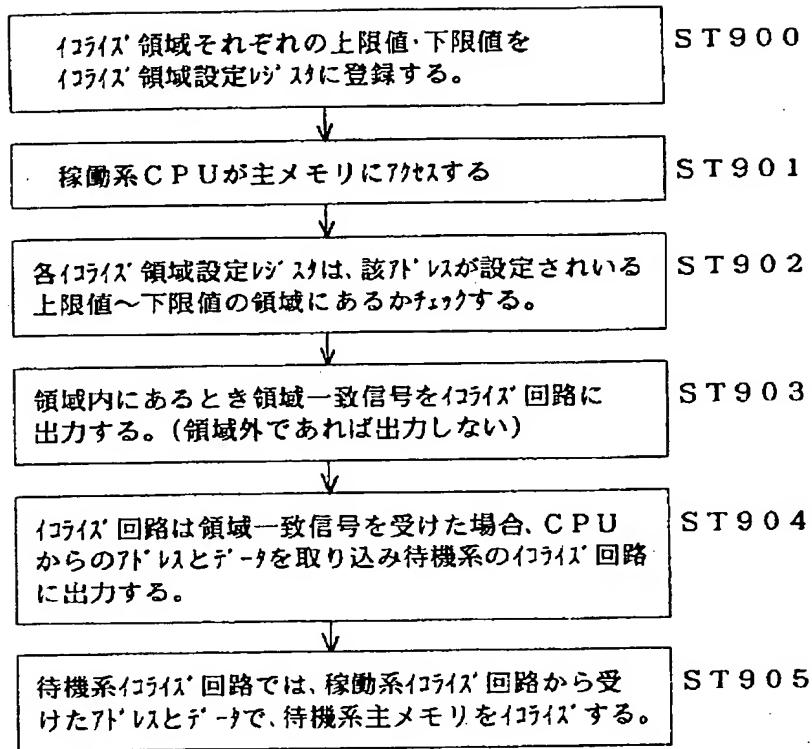


311-1A~311-NA, 312-1A~312-NA : イコライズ領域設定レジスタ  
 311-1B~311-NB, 312-1B~312-NB : イコライズ領域設定レジスタ

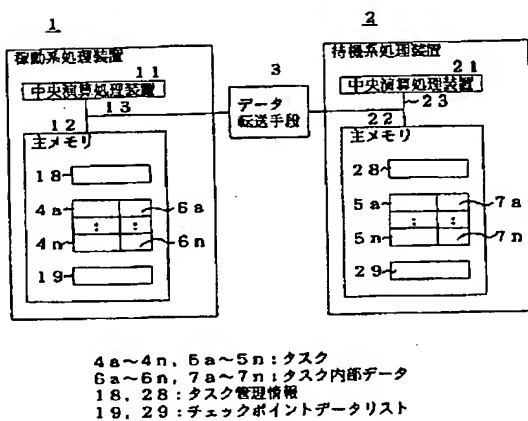
【図 22】



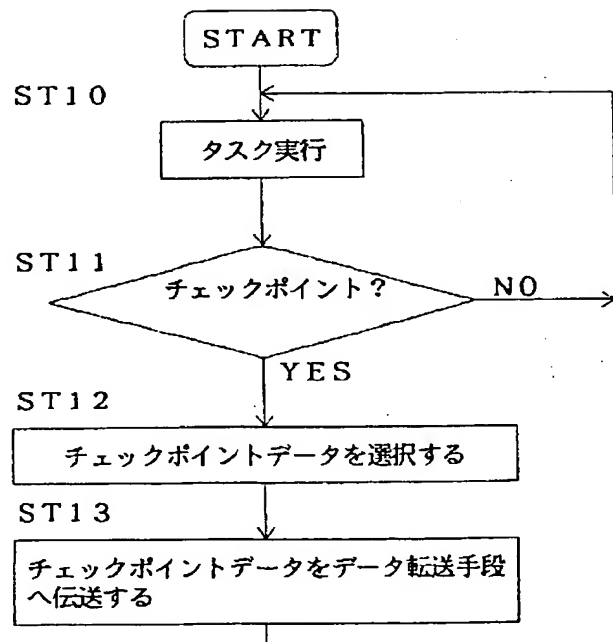
【図19】



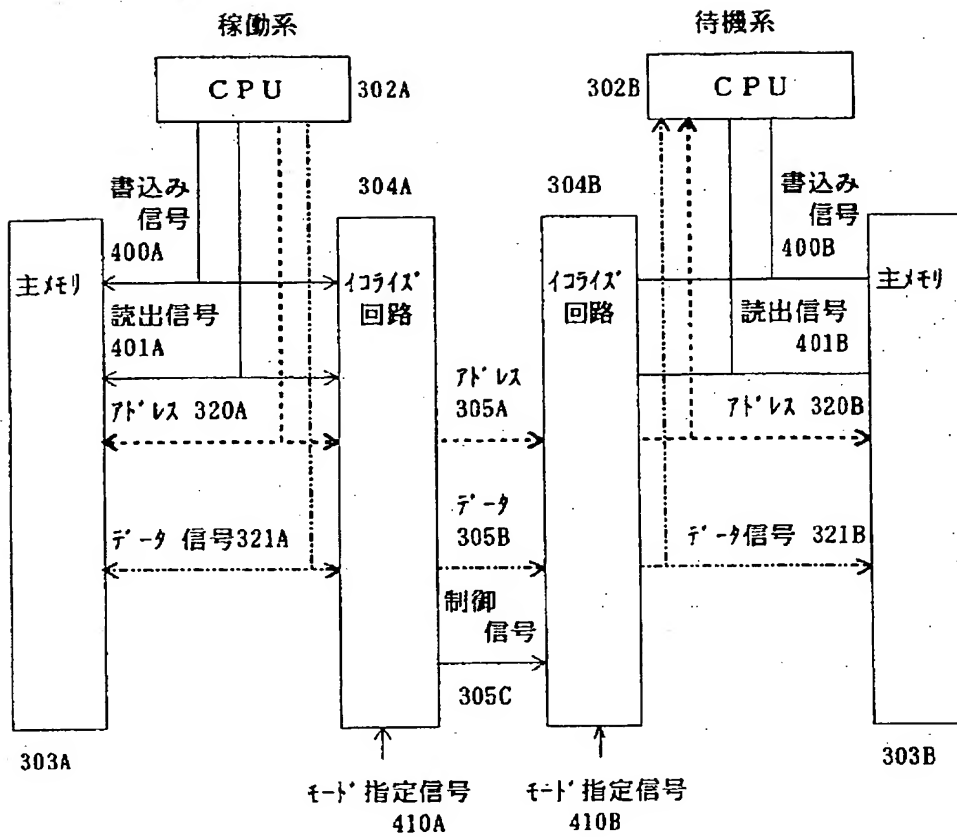
【図23】



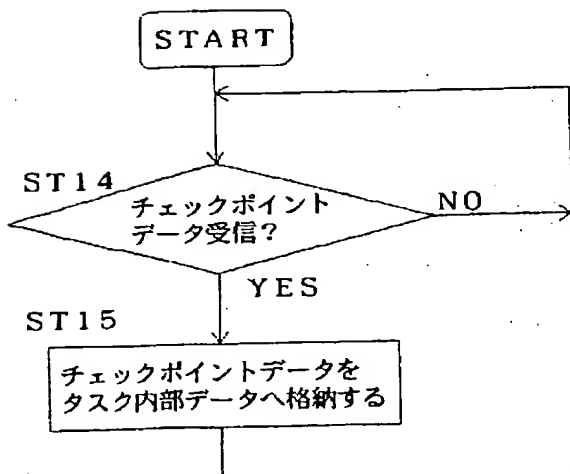
【図24】



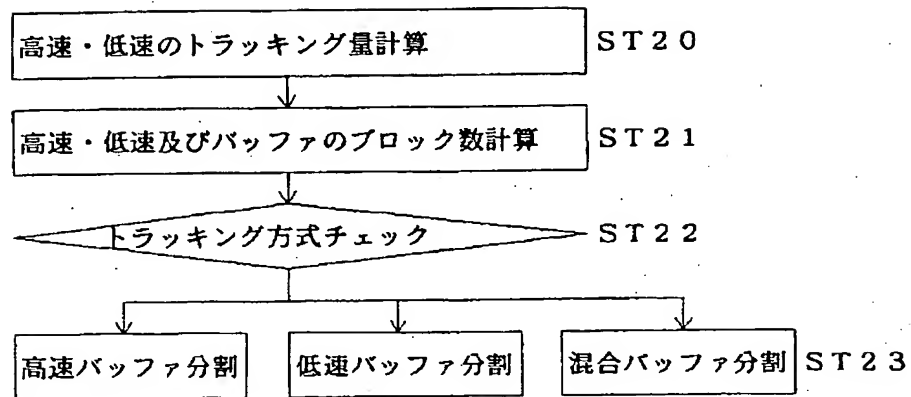
【図 20】



【図 25】



【図 27】



フロントページの続き

(72)発明者 長尾 哲  
神戸市兵庫区和田崎町1丁目1番2号 三  
菱電機株式会社制御製作所内



**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**CLAIMS****[Claim(s)]**

[Claim 1] Arithmetic and program control, the operation system processor which has main memory, respectively, and a standby system processor are formed in juxtaposition. In the duplex system of the stand-by-redundancy-ized configuration which transmits data required for taking over of the processing at the time of failure generating to said standby system processor from said operation system processor The monitor bus for connection between systems, and the data monitoring device which incorporates the data to which arithmetic and program control accessed main memory with said operation system processor, The data transfer unit which transmits the incorporated data to said standby system processor using said Morita Bath, Duplex system of the stand-by-redundancy-ized configuration characterized by having the data accumulation equipment which stores the data transmitted from said operation system processor, and data expansion equipment which writes the data stored in this data accumulation equipment in the main memory of said standby system processor.

[Claim 2] It is the duplex system of the stand-by-redundancy-ized configuration according to claim 1 characterized by to store the data which incorporated the data which equipped the operation system processor with the 1st data accumulation equipment which stores the data incorporated with the data monitoring device, and were stored in the 2nd data accumulation equipment of a standby system processor with said data monitoring device while data expansion equipment developed to main memory in the 1st data-accumulation equipment of said operation system processor.

[Claim 3] Duplex system of the stand-by-redundancy-ized configuration according to claim 1 or 2 which began with the directions to said operation system processor, interrupts said operation system processor and notified equalizing which makes the same value the contents of the main memory of an operation system processor, and the contents of the main memory of a standby system processor from said standby system processor by the completion of equalizing.

[Claim 4] Duplex system of the stand-by-redundancy-ized configuration according to claim 1 or 2 which transmits the accessed data to a standby system processor, develops the data to the main memory of a standby system, and was made to perform equivalent-ization between systems to coincidence when the arithmetic and program control of an operation system processor accessed main memory.

[Claim 5] Duplex system of a stand-by-redundancy-ized configuration given in any 1 term of claim 1 notifies failure of said standby system processor to an operation system processor, and it was made to suspend the transfer to said standby system processor of the data of said operation system processor with a standby system status signal when failure occurred with the standby system processor - claim 4.

[Claim 6] Duplex system of a stand-by-redundancy-ized configuration given in any 1 term of claim 1 to which perform retry processing of data transfer and it was made a standby system processor suspend the transfer to said standby system processor of the data of said operation system processor as failure by retry failure when the bus occupancy time amount supervisory

equipment of a monitor bus was formed in the operation system processor and said bus occupancy time-amount supervisory equipment detected the monitor time amount over of a monitor bus - claim 5.

[Claim 7] When failure occurs with an operation system processor, with an operation system status signal Notify failure of said operation system processor to a standby system processor, and acceptance of the data from said operation system processor is separated in said standby system processor. Duplex system of a stand-by-redundancy-ized configuration given in any 1 term of claim 1 which was made to carry out data expansion of the data then stored in the data accumulation equipment of said standby system processor to the main memorandum \*\* of said standby system processor as normal data - claim 6.

[Claim 8] Arithmetic and program control, the operation system processor which has main memory, respectively, and a standby system processor are formed in juxtaposition. In the duplex system of the stand-by-redundancy-ized configuration which transmits data required for taking over of the processing at the time of failure generating to said standby system processor from said operation system processor, and equivalent-izes between said both main memory The field setting section which sets up the field which should be carried out [ equivalent ]-izing among said both main memory, and the equalizing field setting register which registers the field set up in this field setting section, It will operate, if there is the address with which said arithmetic and program control accessed said main memory in the field set as said equalizing field setting register. Duplex system of the stand-by-redundancy-ized configuration characterized by having said address and the equalizing circuit which transmits data required for taking over to said standby system processor.

[Claim 9] The mode assignment signal with which the access classification of arithmetic and program control sets [ an equivalent-ized object ] up the time of writing and read-out, Prepare the mode selection section which judges whether it is the mode in which the access classification of said arithmetic and program control was set up in response to the write-in signal or read-out signal from said arithmetic and program control, and if it is the set-up mode Duplex system of the stand-by-redundancy-ized configuration according to claim 8 which an equalizing circuit is operated and is characterized by transmitting required data at the address and taking over at a standby system processor.

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the duplex system by the stand-by-redundancy-ized configuration of a computing system.

[0002]

[Description of the Prior Art] In the duplex system of the stand-by-redundancy-ized configuration by the loose coupling which does not do memory sharing with an operation

system processor and a standby system processor, the need has the actuation which notifies information (it is hereafter called checkpoint data) required for processing taking over to specific timing (it is hereafter called a checkpoint) to a standby system processor from an operation system processor. By planning identity of the condition of an operation system processor and a standby system processor by this checkpoint actuation, a standby system processor becomes possible [ succeeding processing of an operation system processor ] from a checkpoint at the time of failure generating with an operation system processor. Moreover, when checkpoint actuation can be performed at the time of failure generating, a standby system processor becomes possible [ succeeding processing ] from the failure generating condition of an operation system processor.

[0003] Drawing 23 shows the block diagram of the duplex system of the conventional stand-by-redundancy-ized configuration by the checkpoint method shown in the "Institute of Electronics, Information and Communication Engineers special edition 3-3-1 loosely coupled multiprocessor" (November, 1990 issue Vol.73), and sets it to drawing. As for arithmetic and program control (CPU) and 22, the operation system processor which 1 has in a working state, the standby system processor with which as for 11 main memory and 13 have in a system bus, and 2 has arithmetic and program control (CPU) and 12 in a standby condition, and 21 are [ main memory and 23 ] system buses. The operation system processor 1 which is in a working state here, and the standby system processor 2 in a standby condition are the same configurations. 3 is a data transfer means to notify checkpoint data to the standby system processor 2 from the operation system processor 1. There are the approach of using a disk sharable by the operation system processor 1 and the standby system processor 2, the approach of communicating through a circuit, etc. in this data transfer means.

[0004] Moreover, 4a-4n stored in each main memory 12 and 22, and 5a-5n are tasks it is made to run by each CPUs 11 and 21, and 4n and 5n are Tasks 4a and 5a, --, the same thing, respectively. The data (it is hereafter called a task in-house data) in which the condition inside tasks, such as a Tasks [ 4a-4n ] variable, a flag, and register information, is shown 6a-6n, and 7a-7n are task management information and a checkpoint data list which uses a Tasks [ 5a-5n ] task in-house data, and 18 and 28 for 19, and uses 29 for selection of the data in a checkpoint.

[0005] Next, actuation is explained. Here, it is the flow chart with which drawing 24 R> 4 shows checkpoint processing (actuation) of the operation system processor 1, and drawing 25 shows the flow of checkpoint processing (actuation) of the standby system processor 2. If CPU11 of the operation system processor 1 performs the task stored in main memory 12 according to the task management information 18 (ST10) and arrives at the appointed checkpoint (ST11), it will progress to ST12. A checkpoint is the timing of the time of the checkpoint instruction execution embedded into the task, or a task switch here. If it progresses to ST12, the checkpoint data which should be notified to the standby system processor 2 in the present checkpoint will be chosen (ST12). Selection of checkpoint data is performed based on the checkpoint data list 19 registered beforehand. The transfer for read-out and the data transfer means 3 from the task in-house datas 6a-6n is performed for this selected checkpoint data (ST13).

[0006] On the other hand, in drawing 25, the standby system processor 2 supervises the notice of the checkpoint data from the operation system processor 1 (ST14), and if there is a notice, the received checkpoint data are stored in a task in-house datas [ 7a-7n ] applicable field with reference to the checkpoint data list 29 (ST15). The task in-house datas 6a-6n in the checkpoint of the operation system processor 1 and the standby system processor 2 and coordination (7a-7n) are maintained by the above actuation.

[0007] Moreover, drawing 26 is the conventional duplex-ized structure-of-a-system Fig. shown in JP,4-367903,A. For a main system processor (operation system processor) and 102,

as for a tracking buffer and 113,123, in drawing, a \*\* system processor (standby system processor) and 112,122 are [ 101 / a buffer division means and 114 ] tracking cables.

[0008] Next, actuation is explained. Drawing 27 is the flow chart which shows the operations sequence of drawing 26 R> 6, when the main system processor 101 performs the tracking of data, the scanning interval of the program which handles the data which should be carried out tracking judges whether they are a high speed and a low speed, and the buffer division means 113 calculates the amount of data which each program treats (ST20). The block count in the tracking buffer 112 is calculated from the size of the obtained amount of data and the tracking buffer 112 (ST21). And when carrying out the tracking of the data, high-speed tracking, low-speed tracking, and the tracking of both a high speed and a low speed check the tracking method of the need (ST22), the division method of a high speed, a low speed, and mixing is chosen (ST23), and tracking processing is performed.

[0009]

[Problem(s) to be Solved by the Invention] In the duplex system of the stand-by-redundancy-ized configuration by the checkpoint method in conventional drawing 23, the time amount concerning selection of checkpoint data or the notice processing to a data transfer means became an overhead, and there was a problem that a system throughput fell. Moreover, in the case of the former, although task management information also needed to be transmitted to the standby system processor 2 and this transfer had the approach of adding to checkpoint data, and a method of transmitting only at the time of failure generating of an operation system in the computing system which performs scheduling of a task, there was a problem that where of the checkpoint processing time became still larger, and when it was the latter, there was a problem that where of a transfer may become impossible depending on extent of failure.

[0010] Moreover, the duplex-ized system shown in conventional JP,4-367903,A Although the buffer for equivalent-izing is divided, the need for the access program is accepted in the data for equivalent-izing. Since it is the division which secures the area for carrying out tracking to a high speed or a low speed and fields (address), such as main memory by which tracking is carried out, are fixed fields, If H/W was not changed to change the address to equivalent-ize by modification of a system when you wanted to equivalent-ize only a specific field or, the problem of being \*\*\*\*\* had arisen.

[0011] furthermore, in the duplex-ized system shown in conventional JP,4-367903,A The \*\* system which is [ only being equivalent-ized by the \*\* system at the time of the writing from a main system and ], for example, was out of order is re-started. When write-in processing had to be performed to all fields, and it was [ control program ] under activation, and it seemed that he wanted to perform only equivalent-ization of the data to memory in order to make it enter into a duplex-ized system and was, it had also become the cause of performing an incorrect output to the exterior superfluously depending on the case.

[0012] This invention was made in order to solve the above troubles, and it aims at improvement in a system throughput by reducing the selection time amount of checkpoint data, and the time amount which delivery of checkpoint data takes.

[0013]

[Means for Solving the Problem] In the 1st invention, arithmetic and program control, the operation system processor which has main memory, respectively, and a standby system processor are formed in juxtaposition. In the duplex system of the stand-by-redundancy-ized configuration which transmits data required for taking over of the processing at the time of failure generating to said standby system processor from said operation system processor The monitor bus for connection between systems, and the data monitoring device which incorporates the data to which arithmetic and program control accessed main memory with said operation system processor, The data transfer unit which transmits the incorporated data

to said standby system processor using said monitor bus, It has the data accumulation equipment which stores the data transmitted from said operation system processor, and data expansion equipment which writes the data stored in this data accumulation equipment in the main memory of said standby system processor.

[0014] In the 2nd invention, an operation system processor is equipped with the 1st data accumulation equipment which stores the data incorporated with the data monitoring device, and the data which incorporated the data stored in the 2nd data accumulation equipment of a standby system processor with said data monitoring device while data expansion equipment developed to main memory are stored in the 1st data accumulation equipment of said operation system processor.

[0015] In the 3rd invention, it starts with the directions to said operation system processor, and from said standby system processor, said operation system processor is interrupted and the completion of equalizing notifies equalizing which makes the same value the contents of the main memory of an operation system processor, and the contents of the main memory of a standby system processor.

[0016] In the 4th invention, in case the arithmetic and program control of an operation system processor accesses main memory, the accessed data are transmitted to a standby system processor, the data is developed to the main memory of a standby system, and it is made to perform equivalent-ization between systems to coincidence.

[0017] In the 5th invention, if failure occurs with a standby system processor, with a standby system status signal, failure of said standby system processor will be notified to an operation system processor, and the transfer to said standby system processor of the data of said operation system processor will be suspended.

[0018] In the 6th invention, if the bus occupancy time amount supervisory equipment of a monitor bus is formed in an operation system processor and said bus occupancy time amount supervisory equipment detects the monitor time amount over of a monitor bus, retry processing of data transfer is performed, it will be retry failure and a standby system processor will suspend the transfer to said standby system processor of the data of said operation system processor as failure.

[0019] In the 7th invention, if failure occurs with an operation system processor, with an operation system status signal, failure of said operation system processor will be notified to a standby system processor, acceptance of the data from said operation system processor will be separated with said standby system processor, and data expansion of the data then stored in the data accumulation equipment of said standby system processor will be carried out to the main memorandum \*\* of said standby system processor as normal data.

[0020] In the 8th invention, arithmetic and program control, the operation system processor which has main memory, respectively, and a standby system processor are formed in juxtaposition. In the duplex system of the stand-by-redundancy-ized configuration which transmits data required for taking over of the processing at the time of failure generating to said standby system processor from said operation system processor, and equivalent-izes between said both main memory The field setting section which sets up the field which should be carried out [ equivalent ]-izing among said both main memory, and the equalizing field setting register which registers the field set up in this field setting section, It will operate, if there is the address with which said arithmetic and program control accessed said main memory in the field set as said equalizing field setting register, and it has said address and the equalizing circuit which transmits data required for taking over to said standby system processor.

[0021] If an equivalent-ized object is the mode which prepared the mode-selection section which judges whether it is the mode in\_ which the access classification of said arithmetic and program control was set up in response to the mode assignment signal which sets up the time

of writing and read-out, and the write-in signal or the read-out signal from said arithmetic and program control, and was set up, the access classification of arithmetic and program control operates an equalizing circuit, and it will transmit [ classification ] required data in the address and taking over to a standby system processor by the 9th invention.

[0022]

[Function] In the 1st invention, the data monitoring device of an operation system carries out the monitor of the data with which arithmetic and program control accessed main memory, and it is transmitted to a standby system processor by the data transfer unit. The data transmitted to the standby system are stored by the data accumulation equipment of a standby system. Write-in expansion of the stored data is carried out by data expansion equipment at the main memory of a standby system.

[0023] In the 2nd invention, even when the data in standby process equipment are developing and data cannot be transmitted to a standby system with the 1st data accumulation equipment of an operation system, the data in an operation processor are stored and task activation of an operation system is not barred.

[0024] Equalizing (equivalent-izing) is started with the directions to an operation system processor, and it was made for interruption to go into an operation system processor by the completion of equalizing in the 3rd invention.

[0025] In the 4th invention, in case the arithmetic and program control of an operation system processor accesses main memory, it acts so that the data with which the central control unit of an operation system accessed main memory may always be developed by the main memory of a standby system, as the accessed data are transmitted to a standby system processor and the data is developed to the main memory of a standby system.

[0026] In the 5th invention, if failure occurs with a standby system processor, the failure signal will be notified to an operation system processor by the standby system status signal, and will suspend the data transfer from an operation system processor.

[0027] In the 6th invention, if bus occupancy time amount supervisory equipment detects the monitor time amount over of a monitor bus, retry processing of data transfer is performed, and it will be retry failure and will suspend the data transfer of an operation system processor.

[0028] In the 7th invention, if failure occurs with an operation system processor, with an operation system status signal, failure of an operation system processor will be notified to a standby system processor, acceptance of the data from an operation system processor will be separated with a standby system processor, and data expansion of the data then stored in the data accumulation equipment of a standby system processor will be carried out to the main memorandum \*\* of a standby system processor as normal data.

[0029] In the 8th invention, the field which should be carried out [ equivalent ]-izing among both main memory is registered into an equalizing field setting register from the field setting section, if there is the address with which arithmetic and program control accessed main memory in the field registered into the equalizing field setting register, an equalizing circuit will operate and data required for said address and taking over will be transmitted to a standby system processor.

[0030] If an equivalent-ized object is the mode which prepared the mode-selection section which judges whether it is the mode in\_ which the access classification of arithmetic and program control was set up in response to the mode assignment signal which sets up the time of writing and read-out, and the write-in signal or the read-out signal from arithmetic and program control, and was set up, the access classification of arithmetic and program control operates an equalizing circuit, and it will transmit [ classification ] required data in the address and taking over to a standby system processor in the 9th invention.

[0031]

[Example]

Drawing is explained for the 1st example of this invention below below example 1. Drawing 1 is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 1st example of this invention. In drawing 1, 1 is an operation system processor, 2 is a standby system processor, and that the same sign as the sign shown in drawing 23 is the same as that of conventional it, or since it is a considerable part, detailed explanation is omitted. The data monitoring device which 30 supervises the task in-house datas 6a-6n written in main memory 12 from CPU11, and is incorporated, The data transfer unit which transmits the data which 40 incorporated to the standby system processor 2, the data accumulation equipment which stores the data with which 50 was transmitted from the operation system processor 1, and 60 are checkpoint timing about the stored data. The data expansion equipment developed to the task in-house datas 7a-7n in main memory 22 and 70 are the monitor buses for performing data transfer from the operation system processor 1 to the standby system processor 2.

[0032] 91 moreover, by counting the amount of the data which the data monitoring device 30 incorporated The notice signal of are recording equipment full generating which supervises the amount of data accumulation of standby system data accumulation equipment 50, and will be notified to the operation system CPU 11 if full, As for 92, the operation system CPU 11 notifies a checkpoint (timing) to data expansion equipment 60. It will become non-mind, if it is the checkpoint indication signal which directs expansion initiation of data, and the checkpoint status signal with which 93 shows the operating state of data expansion equipment 60, it is [ data expansion ] under processing and it is [ significance and non-data expansion ] under processing.

[0033] Next, actuation is explained. Drawing 2 is a flow chart which shows the flow of checkpoint processing (actuation) of the operation system processor 1 by the 1st example. Now, by task activation (ST30) by CPU11, supposing change occurs in the task in-house datas 6a-6n, the data and address which the data monitoring device 30 incorporated the data and address which changed (ST34), and the data transfer unit 40 incorporated will be transmitted to the standby system processor 2 using the monitor bus 70 (ST35). The data monitoring device 30 has counted the incorporated amount of data, and when the incorporated amount of data, i.e., the amount of data transmitted to the standby system processor 2, exceeds the capacity of data accumulation equipment 50, it publishes the notice signal 91 of are recording equipment full generating to (ST36) and CPU11 here (ST37).

[0034] On the other hand, CPU11 which received the notice signal 91 of are recording equipment full generating publishes the checkpoint indication signal 92 to (ST31) and the data expansion processor 60 (ST32). By supervising the checkpoint status signal 93, CPU11 waits for the completion of processing of data expansion equipment 60 (ST33), and starts task activation again. When CPU11 publishes the checkpoint indication signal 92 here, the amount-of-data counter which the data monitoring device 30 has is cleared. Moreover, in ST31, the timing of the time of the checkpoint instruction execution embedded into the task or a task switch as well as the conventional example progresses to ST32. Furthermore, change of the task management information 18 stored in the main memory 12 generated with the task switch in CPU11 etc. transmits to the standby system processor 2 from the operation system processor 1 in the above-mentioned flow similarly.

[0035] Next, the flow of checkpoint processing (actuation) of the standby system processor 2 is explained using the flow chart of drawing 3. Data accumulation equipment 50 receives the data and address transmitted from the operation system processor 1, and if the data expansion equipment 60 to accumulate (ST40) has the notice of the checkpoint indication signal 92 from the operation system CPU 11 (ST41), it will make the checkpoint status signal 93 significant, and will progress to ST43 (ST42). If it progresses to ST43, when data expansion equipment 60 will develop the data stored in data accumulation equipment 50 to the task in-house datas



7a-7n in main memory 22 (ST43) and the completion of expansion of all the stored data will be carried out, the checkpoint status signal 93 is made into non-mind, and data expansion completion is told to the operation system processor 1 (ST44). About the field which should develop data here, it judges in the address added to the data transmitted from the operation system processor 1.

[0036] Thus, in the 1st example of this invention, selection of the checkpoint data based on CPU11 in a checkpoint (timing) and a checkpoint data transfer (transfer to 40-50) are omitted, and checkpoint processing for maintaining the task in-house datas 6a-6n of the operation system processor 1 and the standby system processor 2 and coordination (7a-7n) is realized. In addition, although 30 was explained as a data monitoring device which supervises and incorporates the task in-house datas 6a-6n written in main memory 12 from CPU11, it becomes the data monitoring device which supervises and incorporates the task in-house datas 6a-6n to which CPU11 accessed main memory (reading or writing) at the time of re-starting of the standby system processor 2.

[0037] Drawing is explained for the 2nd example of example 2. this invention below. Drawing 4 is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 2nd example of this invention. That the same sign as the above-mentioned sign is the same as that of the above, or since it is a considerable part, detailed explanation is omitted. 80 is data accumulation equipment with a function equivalent to the data accumulation (the 2nd) equipment 50 with which the standby system processor 2 was equipped (the 1st).

[0038] Next, actuation is explained. Drawing 5 is a flow chart which shows the flow of checkpoint processing (actuation) of the operation system processor 1 by the 2nd example. Now, by task activation (ST50) by CPU11, supposing change occurs in the task in-house datas 6a-6n, the data monitoring device 30 will incorporate the data and address which changed, and will accumulate the incorporated data and address in the data accumulation equipment 80 in a self-processor (ST53). The data monitoring device 30 has counted the incorporated amount of data, and when the incorporated amount of data exceeds the capacity of data accumulation equipment 50, it publishes the notice signal 91 of are recording equipment full generating to (ST54) and CPU11 here (ST55). CPU11 which received the notice signal 91 of are recording equipment full generating publishes the checkpoint indication signal 92 to (ST51) and the data expansion processor 60 (ST52).

[0039] Next, processing of a data transfer unit 40 is explained. A data transfer unit 40 operates supervising the condition of data expansion equipment 60. When data exist in data accumulation equipment 80, the condition of data expansion equipment 60 is judged with (ST56) and the checkpoint status signal 93 (ST57), when a checkpoint status signal is non-mind, it restricts, and the monitor bus 70 is used, and data are transmitted to the standby system processor 2 (ST58). On the other hand, when a checkpoint status signal is significant, the data transfer to the standby system processor 2 is interrupted (ST57). Thus, if a data transfer unit 40 is checkpoint processing in the standby system processor 2, the task activation of it will be attained continuously, without CPU11 waiting for data expansion completion of the standby system processor 2 by keeping data stored to the data accumulation equipment 80 by the side of the operation system processor 1.

[0040] When the task in-house datas [ 7a-7n ] write-in engine performance from the data expansion equipment 60 of the standby system processor 2 is inferior to the engine performance of the data monitoring device 30 of the operation system processor 1, the full of operation system data accumulation equipment 80 does not occur here by mounting capacity of operation system data accumulation equipment 80 according to the engine-performance ratio. Since checkpoint processing of the standby system processor 2 of an example 2 is the same as that of an example 1, detailed explanation is omitted.

[0041] Drawing is explained for the 3rd example of example 3. this invention below. Drawing 6 is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 3rd example of this invention. That the same sign as the above-mentioned sign is the same as that of the above, or since it is a considerable part, detailed explanation is omitted. 94 is an equalizing seizing signal from the outside to the operation system processor 1, and 95 is the completion interrupt signal of equalizing.

[0042] Next, actuation is explained. Drawing 7 is a flow chart which shows the flow of the automatic equalizing processing by the 3rd example. Now, since the operation system processor 1 is activation, a task is performed (ST201). When the timing of automatic equalizing is needed during activation of a task, the equalizing seizing signal 94 is made high-level, automatic equalizing directions are performed, and read/write of the DRAM data of an operation system is performed (ST202). Between [ DMA ] systems starts actuation, the contents of Above DRAM are transmitted to a standby system, by the standby system, the monitor of the data is carried out and data are incorporated (ST203). Data equalizing is completed after DMA finishes (ST204). If data equalizing is completed, in order to notify to an operation system, interruption in an operation system is put in using the completion interrupt signal 95 of equalizing (ST205). By the operation system which received interruption, interruption processing is started (ST206) and this interruption processing performs after treatment after the completion of automatic equalizing of an operation system. In addition, automatic equalizing is the function which makes the same value the contents of the memory of an operation system, and the contents of the memory of a standby system, and is the mode which does not need the indication signal of a checkpoint.

[0043] Drawing is explained for the 4th example of example 4. this invention below. Drawing 8 is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 4th example of this invention. That the same sign as the above-mentioned sign is the same as that of the above, or since it is a considerable part, detailed explanation is omitted.

[0044] Next, actuation is explained. Drawing 9 is a flow chart which shows the flow of processing of the 4th example. A task is performed on the operation system processor 1 (ST301). A task accesses the memory of main memorandum \*\* 12 (ST302). The accessed data are sent to data accumulation equipment 80 (ST303). That is, the data sent to main memorandum \*\* 12 are transmitted also to data accumulation equipment 80 at coincidence. As for the data sent to data accumulation equipment 80, data are sent to a standby system through the monitor bus 70 (ST304). The sent data are received by the standby system (ST305). The received data are developed on main memory 22 (ST306). Thus, the data sent to main memorandum \*\* 12 are transmitted also to a standby system, and are developed by coincidence on the main memory 22 of a standby system. Therefore, the notice signal 91 of are recording equipment full generating of an example 1, the checkpoint indication signal 92, and the checkpoint status signal 93 are not established.

[0045] Drawing is explained for the 5th example of example 5. this invention below. Drawing 10 is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 5th example of this invention. That the same sign as the above-mentioned sign is the same as that of the above, or since it is a considerable part, detailed explanation is omitted. 98 is a standby system status signal for notifying the condition of a standby system.

[0046] Next, actuation is explained. Drawing 11 is a flow chart which shows the flow of processing by the 5th example. The operation system processor 1 performs a task (ST601). In the standby system processor 2, the monitor of the data of the operation system processor 1 is carried out, and data are incorporated (ST602). The standby system status signal 98 is significant at the standby system processor 2 at the time of normal actuation (ST603). Failure

occurs with the standby system processor 2 (ST604). The standby system status signal 98 becomes non-mind by failure (ST605). When the standby system status signal 98 became non-mind, failure of a standby system processor is recognized in the operation system processor 1 (ST606). When the standby system processor 2 was breaking down, the function of the data monitoring device 30 of the operation system processor 1 is suspended (ST607). This suspends the transfer to the standby system processor 2 of the data of the operation system processor 1.

[0047] Drawing is explained for the 6th example of example 6. this invention below. Drawing 12 is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 6th example of this invention. That the same sign as the above-mentioned sign is the same as that of the above, or since it is a considerable part, detailed explanation is omitted. As for monitor bus parity generation equipment and 100, 99 is [ monitor bus parity detection equipment and 101 ] bus occupancy time amount supervisory equipment.

[0048] Next, actuation is explained. Drawing 13 is a flow chart which shows the flow of processing by the 6th example. The operation system processor 1 performs a task (ST701). The data and address from which the data monitoring device 30 changed is incorporated. In transmitting the data and address which the data transfer unit 40 incorporated, monitor bus parity generation equipment 99 adds parity to the data on the monitor bus 70 (ST702). It transmits to the standby system processor 2 (ST703). In the operation system processor 1, bus occupancy time amount supervisory equipment 101 always supervises the bus occupancy time amount of the monitor bus 70 (ST704). When the monitor time amount of the monitor bus 70 exceeds, retry processing of data transfer is performed (ST705), and an output is taken out with retry failure. In the standby system processor 2, the data with which monitor bus parity detection equipment 100 has been sent are checked (ST706). If it is an error, it will be outputted to the standby system status signal 98 of the monitor bus 70 (ST707). (non-mind) The OR of the output of retry failure of bus occupancy time amount supervisory equipment 101 and the output (non-mind) of the standby system status signal 98 of the monitor bus 70 by the monitor time amount over of the monitor bus 70 is calculated (ST708). When an output is in either, it thinks that the standby system processor 2 was breaking down, and the function of the data monitoring device 30 of the operation system processor 1 is suspended (ST709). This suspends the transfer to the standby system processor 2 of the data of the operation system processor 1.

[0049] Drawing is explained for the 7th example of example 7. this invention below. Drawing 14 is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 7th example of this invention. That the same sign as the above-mentioned sign is the same as that of the above, or since it is a considerable part, detailed explanation is omitted. The operation system status signal with which 102 notifies the condition of an operation system processor, the equipment with which 103 separates acceptance of the data from the operation system processor 1 and to separate, and 104 are data expansion equipment which carries out data expansion of the equalizing data stored in data accumulation equipment 50 to main memorandum \*\* 22 of the standby system processor 2 as normal data.

[0050] Next, actuation is explained. Drawing 15 is a flow chart which shows the flow of processing by the 7th example. The operation system processor 1 performs a task (ST801). Failure occurs with the operation system processor 1 (ST802). The operation system status signal 102 becomes non-mind by failure (ST803). When the operation system status signal became non-mind, failure of the operation system processor 1 is recognized in the standby system processor 2 (ST804). Separation equipment 103 separates acceptance processing of the data from the operation system processor 1 (ST805). Data expansion equipment 104

performs data expansion for the equalizing data stored in the data accumulation equipment 50 of the standby system processor 2 to main memory 22 as normal data (ST806).

[0051] Drawing is explained for the 8th example of example 8. this invention below. Drawing 16 is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 8th example of this invention. That the same sign as the above-mentioned sign is the same as that of the above, or since it is a considerable part, detailed explanation is omitted. A main system processor, i.e., an operation system processor, the bus for equalizing to which in a \*\* system processor, i.e., a standby system processor, and 302A and 302B main memory, and 304A and 304B connect an equalizing circuit to, and, as for 305, arithmetic and program control (CPU), and 303A and 303B connect [ 301 ] the operation system processor 300 and the standby system processor 301, the address signal to which 320A outputs 300 and CPUs 302A and 302B output 320B, and 321A and 321B are data signals.

[0052] Moreover, drawing 17 is the detail drawing of drawing 16 , and a data signal and 305C of the address signal and 305B to which 305A is transmitted between the operation system processor 300 and the standby system processor 301 are control signals. As for 310A and 310B, the upper limit of the equalizing field where the field setting section, 311-1A-311-NA, and 311-1B-311-NB are equalizing field setting registers, and are set up from the field setting sections 310A and 310B is registered. 312-1A-312-NA and 312-1B-312-NB are equalizing field setting registers, and the lower limit of the equalizing field set up from the field setting sections 310A and 310B is registered. 330 is a field coincidence signal.

[0053] moreover, the part "does not equalize" although are the example of a setting of an equalizing field, the case where a upper limit and three sorts of lower limits are set up is shown, it equalizes the part "which equalizes" and drawing 18 serves as the same value with the operation system processor 300 and the standby system processor 301 -- the equivalent -- it becomes as [ a value which are not-izing / a value / and is different ].

[0054] Next, actuation is explained. Drawing 19 is a flow chart which shows the flow of processing by the 8th example. The upper limit and lower limit of each equalizing field are registered into equalizing field setting register 311-1A-311-NA and 312-1A-312-NA from field setting section 310A (ST900). the time (ST901) of operation system CPU302A accessing operation system main memory 303A -- each -- it is confirmed whether equalizing field setting register 311-1A-311-NA and 312-1A-312-NA are in the field of a upper limit - a lower limit to which this address is set as each (ST902). each -- equalizing field setting register 311-1A-311-NA and 312-1A-312-NA output the field coincidence signal 330 to equalizing circuit 304A, when this address is in a self-field. (It will not output, if it is outside a field) . (ST903). When the field coincidence signal 330 is received, an equalizing circuit incorporates data signal 321A from address signal 320A from CPU302A, and main memorandum \*\*303A, and outputs it to equalizing circuit 304B of the standby system processor 301 with control signal 305C (ST904). In equalizing circuit 304B of the standby system processor 301, standby system main memory 303B is equalized with the address signal and data signal which were received from equalizing circuit 304A of the operation system processor 300 by control signal 305C (ST905). In this case, it may notify to CPU302B from equalizing circuit 304B, and you may develop to main memory 303B, and may develop from equalizing circuit 304B to direct main memory 303B.

[0055] While equalizing field setting register 311-1A-311-NA and 312-1A-312-NA have N individual and being able to set up the space of arbitration, when there is a setting error, such as becoming a duplication setup, it is also possible to also consider as a setting error from field setting section 310A and not to consider as an error. Although the case where it wrote in the standby system processor 301 from the operation system processor 300 above was shown, it becomes the same actuation also when equalizing from the standby system processor 301 to

the operation system processor 300.

[0056] Drawing is explained to the pan of example 9. this invention for the 9th example below. Drawing 20 is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration according to the 9th example further of this invention. That the same sign as the above-mentioned sign is the same as that of the above, or since it is a considerable part, detailed explanation is omitted. The write-in signal with which 400A and 400B are outputted from CPUs 302A and 302B, the read-out signal with which 401A and 401B are outputted from CPUs 302A and 302B, and 410A and 410B are mode assignment signals which set up equalizing mode.

[0057] Moreover, drawing 21 is some detail drawing of equalizing circuit 304A of drawing 20, and the mode selection section in which 420A checks coincidence of the access mode from [ from the comparison with write-in signal 400A, read-out signal 401A, and mode assignment signal 410A ] CPU, and 430A are equalizing indication signals which tell coincidence of the mode from mode selection section 420A. It has each of this function and a configuration similarly with the standby system processor 301.

[0058] Next, actuation is explained. Drawing 22 is a flow chart which shows the flow of processing by the 9th example. First, mode assignment signal 410A performs mode assignment to equalizing circuit 304A (ST910). In order that CPU302A may access main memory 303A etc., CPU302A to write-in signal 400A or read-out signal 401A is outputted (ST911). Correspondence with mode assignment signal 410A, write-in signal 400A, or read-out signal 401A is performed in mode selection section 420A in equalizing circuit 304A (ST912). If mode assignment signal 410A, write-in signal 400A, or read-out signal 401A has agreed, equalizing indication signal 430A will be outputted (ST913). Thereby, address signal 305A, data signal 305B, and control signal 305C are sent to standby system equalizing circuit 304B from operation system equalizing circuit 304A, and equivalent-ized processing is performed (ST914). Thus, only read-out actuation can carry out [ equivalent ]-izing not only in the write-in actuation to the main memory of CPU, and it can respond also to the reboot of a standby system processor.

[0059]

[Effect of the Invention] or [ as mentioned above, / that parallel processing of selection of the checkpoint data based on the operation system arithmetic and program control in a checkpoint and the checkpoint data transfer is carried out to the task executive operation of arithmetic and program control according to the 1st invention ] -- or since it is omitted, a system throughput can be raised.

[0060] Since task activation is attained with an operation processor even when according to the 2nd invention the data stored with standby process equipment are developing and data cannot be transmitted to a standby system, a system throughput can be raised further.

[0061] Since according to the 3rd invention an equalizing (equivalent-izing) demand can be operated from a program and the completion of equalizing can be recognized by the program, equalizing in the optimal part is attained by equalizing in the good part of the break of program execution.

[0062] Since according to the 4th invention the accessed data are transmitted to a standby system processor and the data was developed to the main memory of a standby system when the arithmetic and program control of an operation system processor accessed main memory, the data with which the central control unit of an operation system accessed main memory can always develop the main memory of a standby system.

[0063] According to the 5th invention, when a standby system is breaking down, pile stop \*\*\*\*\* can do effect on the operation system by failure by the standby system by suspending the data transfer of an operation system processor.

[0064] According to the 6th invention, when a monitor bus is breaking down, pile stop

\*\*\*\*\* can do effect on the operation system by failure by monitor bus by suspending the data transfer of an operation system processor.

[0065] According to the 7th invention, when an operation system is breaking down, with a standby system processor, acceptance of the data from an operation system processor can be separated, a standby system can perform as an operation system with the normal data which received the abnormality entry of data from an operation system before a pile stop and failure, and a reliable duplex-ized system can be obtained.

[0066] Since a registration setup of the field which should be carried out [ equivalent ]-izing among both main memory can be carried out from the field setting section in the same H/W at an equalizing field setting register according to the 8th invention, at the time of a system change or application to other systems etc., the need of redesigning H/W is lost and cost reduction can be planned. Moreover, since he does not need to be conscious at all, whether each field is equivalent-ized or it does not carry out become the duplex-ized system which does not lack a load in a user from the application program which accesses main memory.

[0067] Since according to the 9th invention equivalent-ization can be performed, without writing in main memory again since it becomes possible also in the read-out actuation from operation system treatment equipment when performing equivalent-ization of data, the dependability of a system goes up, even when only a standby system processor is re-started, equivalent-ization with an operation system processor becomes easy, and it becomes to the duplex-ized system which is easy to maintain.

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 1st example of this invention.

[Drawing 2] It is the flow chart which shows the flow of checkpoint processing of the operation system processor by the 1st example of this invention.

[Drawing 3] It is the flow chart which shows the flow of checkpoint processing of the standby system processor by the 1st example of this invention.

[Drawing 4] It is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 2nd example of this invention.

[Drawing 5] It is the flow chart which shows the flow of checkpoint processing of the operation system processor by the 2nd example of this invention.

[Drawing 6] It is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 3rd example of this invention.

[Drawing 7] It is the flow chart which shows the flow of the automatic equalizing processing by the 3rd example of this invention.

[Drawing 8] It is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 4th example of this invention.

[Drawing 9] It is the flow chart which shows the flow of processing by the 4th example of this

invention.

[Drawing 10] It is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 5th example of this invention.

[Drawing 11] It is the flow chart which shows the flow of processing by the 5th example of this invention.

[Drawing 12] It is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 6th example of this invention.

[Drawing 13] It is the flow chart which shows the flow of processing by the 6th example of this invention.

[Drawing 14] It is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 7th example of this invention.

[Drawing 15] It is the flow chart which shows the flow of processing by the 7th example of this invention.

[Drawing 16] It is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration by the 8th example of this invention.

[Drawing 17] It is the detail drawing of drawing 16 .

[Drawing 18] It is the example of a setting of the equalizing field by the 8th example of this invention.

[Drawing 19] It is the flow chart which shows the flow of processing by the 8th example of this invention.

[Drawing 20] It is the block diagram showing the duplex system of the stand-by-redundancy-ized configuration according to the 9th example further of this invention.

[Drawing 21] They are some detail drawing of the equalizing circuit of drawing 20 .

[Drawing 22] It is the flow chart which shows the flow of processing by the 9th example of this invention.

[Drawing 23] It is the block diagram showing the duplex system of the conventional stand-by-redundancy-ized configuration.

[Drawing 24] It is the flow chart which shows the flow of checkpoint processing of the conventional operation system processor.

[Drawing 25] It is the flow chart which shows the flow of checkpoint processing of the conventional standby system processor.

[Drawing 26] They are other conventional duplex-ized structure-of-a-system Figs.

[Drawing 27] It is the flow chart which shows the operations sequence of drawing 26 .

[Description of Notations]

1 Operation System Processor, 2 11 Standby System Processor, 21 Arithmetic and Program Control, 12 22 18 Main memorandum \*\*, 28 Task management information, 4a-4n, 5a-5n Task, 6a-6n, 7a-7n A task in-house data, 30 Data monitoring device, 40 A data transfer unit, 50 Data accumulation equipment, 60 Data expansion equipment, 70 A monitor bus, 80 Data accumulation equipment, 91 Notice signal of are recording equipment full generating, 92 A checkpoint indication signal, 93 Checkpoint status signal, 94 An equalizing seizing signal, 95 The completion interrupt signal of equalizing, 98 A standby system status signal, 99 Monitor bus parity generation equipment, 100 Monitor bus parity detection equipment, 101 Bus occupancy time amount supervisory equipment, 102 An operation system status signal, 103 Separation equipment, 104 Data expansion equipment, 300 An operation system processor, 301 A standby system processor, 302A, 302B Arithmetic and program control, 303A, 303B Main memory, 304A, a 304B equalizing circuit, 305A An address signal, 305B A data signal, a 305C control signal, 310A, 310B The field setting section, 311-1A-311-NA, 311-1B-311-NB Equalizing setting register, 312-1A-312-NA, 312-1B-312-NB Equalizing



setting register, 320A, 320B An address signal, 321A, 321B Data signal, 400A, 400B A write-in signal, 401A, 401B A read-out signal, 410A, 410B A mode assignment signal, 420A, 420B The mode selection section, 430A, 430B Equalizing indication signal.

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

[Drawing 3]

[Drawing 6]

[Drawing 8]

[Drawing 2]

[Drawing 4]

[Drawing 10]

[Drawing 5]

[Drawing 7]

[Drawing 11]

[Drawing 9]

[Drawing 12]

[Drawing 13]

[Drawing 14]

[Drawing 15]

[Drawing 16]

[Drawing 18]

[Drawing 21]

[Drawing 26]

[Drawing 17]

[Drawing 22]

[Drawing 19]

[Drawing 23]

[Drawing 24]

[Drawing 20]

[Drawing 25]

[Drawing 27]

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**